



#2

04 Do
5-29-01

501.39868X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): T. SAITO, ET AL.

Serial No.: 09 / 850,162

Filed: MAY 8, 2001

Title: "A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND A METHOD OF MANUFACTURING THE SAME".

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

MAY 30, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 2000 - 135041
Filed: MAY 8, 2000

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



310000 113 U.S. M

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 5月 8日

出願番号
Application Number:

特願2000-135041

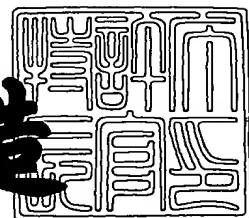
出願人
Applicant(s):

株式会社日立製作所

2001年 3月30日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3024721

【書類名】 特許願
【整理番号】 H00001131
【提出日】 平成12年 5月 8日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/88
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 斎藤 達之
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 大橋 直史
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 今井 俊則
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 野口 純司
【発明者】
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
【氏名】 田丸 剛
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項1】 (a) 半導体基板上に形成された第1の絶縁膜中に配線溝を形成する工程と、

(b) 前記配線溝内を含む前記第1の絶縁膜上にバリア層および導電性膜を順次形成後、前記配線溝外部の前記バリア層および導電性膜を除去することによって配線を形成する工程と、

(c) 前記配線上にキャップ導電性膜を選択成長もしくは優先成長させることにより、前記配線上にキャップ導電性膜を形成する工程と、

(d) 前記キャップ導電性膜および前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 (a) 半導体基板上に形成された第1の絶縁膜中に配線溝を形成する工程と、

(b) 前記配線溝内にバリア層および第1の導電性膜を順次形成することによって配線を形成する工程と、

(c) 前記配線上にキャップ導電性膜を選択成長もしくは優先成長させることにより、前記配線上にキャップ導電性膜を形成する工程と、

(d) 前記キャップ導電性膜および前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

(e) 前記配線上の前記第2の絶縁膜を部分的に除去して、前記キャップ導電性膜を露出する開孔を形成する工程と、

(f) 前記開孔内に第2の導電性膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 (a) 半導体基板上に第1の配線を形成する工程と、

(b) 前記第1の配線上に第1の絶縁膜を形成する工程と、

(c) 前記第1の配線のコンタクト領域上の前記第1の絶縁膜を除去することによりコンタクトホールを形成する工程と、

- (d) 前記コンタクトホール内を含む第1の絶縁膜上に第1の導電性膜を形成する工程と、
- (e) 前記コンタクトホール外部の第1の導電性膜を除去することによりプラグを形成する工程と、
- (f) 前記第1の絶縁膜および前記プラグ上に第2の絶縁膜を形成する工程と、
- (g) 第2の配線形成予定領域の前記第2の絶縁膜を除去することにより配線溝を形成する工程と、
- (h) 前記配線溝内を含む前記第2の絶縁膜上にバリア層および第2の導電性膜を順次形成する工程と、
- (i) 前記配線溝外部の前記バリア層および第2の導電性膜を除去することにより第2の配線を形成する工程と、
- (j) 前記第2の配線膜上にキャップ導電性膜を選択成長もしくは優先成長させることにより、前記第2の配線上にキャップ導電性膜を形成する工程と、
- (k) 前記キャップ導電性膜および前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

- 【請求項4】
- (a) 半導体基板上に第1の配線を形成する工程と、
 - (b) 前記第1の配線上に第1の絶縁膜および第2の絶縁膜を順次形成する工程と、
 - (c) 前記第1の配線のコンタクト領域上の前記第1および第2の絶縁膜を除去することによりコンタクトホールを形成する工程と、
 - (d) 第2の配線形成予定領域の前記第2の絶縁膜を除去することにより配線溝を形成する工程と、
 - (e) 前記コンタクトホールおよび配線溝内を含む前記第2の絶縁膜上にバリア層および導電性膜を順次形成する工程と、
 - (f) 前記コンタクトホールおよび配線溝外部の前記バリア層および導電性膜を除去することにより第2の配線および前記第1の配線と第2の配線との接続部を形成する工程と、
 - (g) 前記第2の配線上にキャップ導電性膜を選択成長もしくは優先成長させる

ことにより、前記第2の配線上にキャップ導電性膜を形成する工程と、

(h) 前記キャップ導電性膜および前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 (a) 半導体基板上に第1の配線を形成する工程と、

(b) 前記第1の配線上に第1の絶縁膜および第2の絶縁膜を順次形成する工程と、

(c) 第2の配線形成予定領域の前記第2の絶縁膜を除去することにより配線溝を形成する工程と、

(d) 前記第1の配線のコンタクト領域上の第1の絶縁膜を除去することによりコンタクトホールを形成する工程と、

(e) 前記コンタクトホールおよび配線溝内を含む前記第2の絶縁膜上にバリア層および導電性膜を順次形成する工程と、

(f) 前記コンタクトホールおよび配線溝外部の前記バリア層および導電性膜を除去することにより第2の配線および前記第1の配線と第2の配線との接続部を形成する工程と、

(g) 前記第2の配線膜上にキャップ導電性膜を選択成長もしくは優先成長させることにより、前記第2の配線上にキャップ導電性膜を形成する工程と、

(h) 前記キャップ導電性膜および前記第2の絶縁膜上に第3の絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1、4もしくは5記載の半導体集積回路装置の製造方法であって、

前記半導体集積回路装置の製造方法は、さらに、

前記請求項1記載の第2の絶縁膜、請求項4記載の第3の絶縁膜もしくは請求項5記載の第3の絶縁膜を部分的に除去して、前記キャップ導電性膜を露出する開孔を形成する工程と、

前記開孔内に導電材料を埋め込むことによりプラグを形成する工程と、

前記請求項1記載の第2の絶縁膜、請求項4記載の第3の絶縁膜もしくは請求

項5記載の第3の絶縁膜上に前記プラグ上まで延在する上層配線を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1乃至5記載の半導体集積回路装置の製造方法であつて、

前記請求項1記載の配線もしくは請求項2乃至5記載の第2の配線は、銅、銀、アルミニウムもしくはこれらの金属を主成分とする合金から成る配線であることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1乃至5記載の半導体集積回路装置の製造方法であつて、

前記キャップ導電性膜は、Wより成る膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項1乃至5記載の半導体集積回路装置の製造方法であつて、

前記キャップ導電性膜はWN、TiN、Ta, TaNもしくはNiから成る膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項1乃至5記載の半導体集積回路装置の
製造方法であつて、

前記キャップ導電性膜は、1 Torr ($1 \times 1.33322 \times 10^2$ Pa) 以下の圧力下で形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項1乃至5記載の半導体集積回路装置の製造方法であつて、

前記請求項1もしくは2記載の第2の絶縁膜もしくは請求項3乃至5記載の第3の絶縁膜の形成工程は、

(a) 前記キャップ導電性膜上にTEOS膜もしくは炭素を含むシリコン系絶縁膜を形成する工程と、

(b) 前記TEOS膜もしくは炭素を含むシリコン系絶縁膜上に前記TEOS膜もしくは炭素を含むシリコン系絶縁膜より誘電率の低い膜を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項1乃至5記載の半導体集積回路装置の製造方法であって、

前記請求項1もしくは2記載の第2の絶縁膜もしくは請求項3乃至5記載の第3の絶縁膜の形成工程は、

(a) 前記キャップ導電性膜上に、前記キャップ導電性膜を構成する導電体材料の拡散を防止する拡散防止絶縁膜を形成する工程と、

(b) 前記拡散防止絶縁膜上に前記拡散防止絶縁膜よりも誘電率の低い低誘電絶縁膜を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって

前記拡散防止絶縁膜は、窒化シリコン膜、PSG膜もしくは炭化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項12記載の半導体集積回路装置の製造方法であって

前記低誘電絶縁膜は、TEOS膜もしくはSiOF膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項1乃至5記載の半導体集積回路装置の製造方法であって、

前記キャップ導電性膜は、基板表面をフッ化水素(HF)を含む溶液で洗浄した後形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項1乃至5記載の半導体集積回路装置の製造方法であって、

前記キャップ導電性膜は、基板表面を水素処理した後形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項1乃至5記載の半導体集積回路装置の製造方法であって、

前記キャップ導電性膜形成工程は、前記選択成長もしくは優先成長後に、基板表面をフッ化水素(HF)もしくは過酸化水素(H₂O₂)を含む溶液で洗浄する工

程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 半導体基板上に形成された第1の絶縁膜と、前記絶縁膜中に形成された配線溝と、前記配線溝側壁および底部に形成されたバリア層と、前記配線溝内部であって、前記バリア層上に形成された導電性膜と、前記導電性膜上に形成されたキャップ導電性膜と、前記キャップ導電性膜および前記第1の絶縁膜上に形成された第2の絶縁膜と、

を有することを特徴とする半導体集積回路装置。

【請求項19】 半導体基板上に形成された配線と、前記配線上に形成された第1の絶縁膜と、前記第1の配線のコンタクト領域上であって、前記第1の絶縁膜中に形成されたコンタクトホールと、前記コンタクトホール内部に形成されたプラグと、前記第1の絶縁膜およびプラグ上に形成された第2の絶縁膜と、前記第2の絶縁膜中に形成された配線溝と、前記配線溝側壁および底部に形成されたバリア層と、前記配線溝内部であって、前記バリア層上に形成された導電性膜と、前記導電性膜上に形成されたキャップ導電性膜と、前記キャップ導電性膜上および前記第2の絶縁膜上に形成された第3の絶縁膜と、

を有することを特徴とする半導体集積回路装置。

【請求項20】 半導体基板上に形成された配線と、前記配線上に形成された第1の絶縁膜と、前記第1の絶縁膜中に形成された配線溝および前記配線溝底部から前記配線まで延在する第1のコンタクトホールと、前記配線溝および第1のコンタクトホールの側壁および底部に形成されたバリア層と、前記配線溝および第1のコンタクトホール内部であって前記バリア層上に形成された第1の導電性膜と、前記第1の導電性膜上に形成されたキャップ導電性膜と、前記キャップ導電性膜上および前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜に形成された第2のコンタクトホールの内部に形成された第2の導電性膜と、

を有することを特徴とする半導体集積回路装置。

【請求項21】 請求項20記載の半導体集積回路装置であって、前記第1の絶縁膜は、前記配線溝が形成された溝用絶縁膜と、前記第1のコンタクトホールが形成されたコンタクトホール用絶縁膜とから成ることを特徴とする

半導体集積回路装置。

【請求項22】 請求項18もしくは19記載の半導体集積回路装置であつて、

前記半導体集積回路装置はさらに、

前記請求項17記載の第2の絶縁膜もしくは18記載の第3の絶縁膜に形成された開孔部であつて、前記キャップ導電性膜上に形成された開口部の内部に形成された導電材料を有することを特徴とする半導体集積回路装置。

【請求項23】 請求項18乃至20記載の半導体集積回路装置であつて、前記請求項18もしくは19記載の導電性膜もしくは請求項20記載の第1の導電性膜は、銅、銀、アルミニウムもしくはこれらの金属を主成分とする合金から成ることを特徴とする半導体集積回路装置。

【請求項24】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜はWより成る膜であることを特徴とする半導体集積回路装置。

【請求項25】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜はWN、TiN、Ta, TaNもしくはNiから成る膜であることを特徴とする半導体集積回路装置。

【請求項26】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜は、選択成長もしくは優先成長により形成された膜であることを特徴とする半導体集積回路装置。

【請求項27】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜は、1Torr ($1 \times 1.33322 \times 10^2$ Pa) 以下の圧力下で形成された膜であることを特徴とする半導体集積回路装置。

【請求項28】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜は、その膜厚が均一であることを特徴とする半導体集積回路装置。

【請求項29】 請求項18乃至20記載の半導体集積回路装置であつて、前記キャップ導電性膜は、そのばらつきが50%以下の均一性を有する膜であることを特徴とする半導体集積回路装置。

【請求項30】 請求項18乃至20記載の半導体集積回路装置であって、前記キャップ導電性膜は、その膜厚が、配線幅によらず均一であることを特徴とする半導体集積回路装置。

【請求項31】 請求項18乃至20記載の半導体集積回路装置であって、前記キャップ導電性膜は、前記配線溝底部のバリア層より薄いことを特徴とする半導体集積回路装置。

【請求項32】 請求項18乃至20記載の半導体集積回路装置であって、前記キャップ導電性膜は、2~20nmの膜厚であることを特徴とする半導体集積回路装置。

【請求項33】 請求項18乃至20記載の半導体集積回路装置であって、前記請求項18もしくは20記載の第2の絶縁膜もしくは請求項19記載の第3の絶縁膜は、前記キャップ導電性膜上に形成されたTEOS膜もしくは炭化シリコン膜と、前記TEOS膜もしくは炭化シリコン膜上に形成された前記TEOS膜もしくは炭化シリコン膜より誘電率の低い膜と、を有することを特徴とする半導体集積回路装置。

【請求項34】 請求項18乃至20記載の半導体集積回路装置であって、前記請求項18もしくは20記載の第2の絶縁膜もしくは請求項19記載の第3の絶縁膜は、前記キャップ導電性膜上に形成された前記請求項18もしくは19記載の導電性膜もしくは請求項20記載の第1の導電性膜を構成する導電体材料の拡散を防止する拡散防止絶縁膜と、前記拡散防止絶縁膜上に形成された前記拡散防止絶縁膜より誘電率の低い低誘電絶縁膜と、を有することを特徴とする半導体集積回路装置。

【請求項35】 請求項34記載の半導体集積回路装置であって、前記低誘電絶縁は、TEOS膜もしくはSiOF膜であることを特徴とする半導体集積回路装置。

【請求項36】 請求項34記載の半導体集積回路装置であって、前記拡散防止絶縁膜は、窒化シリコン膜、PSG膜もしくは炭化シリコン膜であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関するものであって、特に、絶縁膜中に配線用の溝を形成後、導電膜を溝内部に埋め込む、いわゆるダマシン法により形成される配線に適用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路装置における配線の微細化および多層化に伴い、例えば、T.Saito et.al,in Proceedings of International Interconnect Technology Conference in 1998,pp.160-162等に、絶縁膜中に配線用の溝を形成後、導電膜を溝内部に埋め込むことにより配線を形成する、いわゆるダマシン技術が検討されている。

【0003】

なお、特開平8-222568号公報には、絶縁膜中に配線用の溝を形成し、CVD法によりTiN薄膜からなるバリア層を成膜し、さらに、このバリア層上に銅薄膜を成膜した後、銅薄膜をエッチバックし、さらに、TiN薄膜から成る保護膜を形成後、エッティングすることにより銅薄膜配線上に保護膜を残存させる技術が記載されている。

【0004】

また、三菱電機技報pp333-336,1997には、銅ダマシン配線上面にTiWN等のバリア層を設けるという技術が記載されている。

【0005】

【発明が解決しようとする課題】

上記絶縁膜中に配線用の溝を形成後、導電膜を溝内部に埋め込むことにより配線を形成する、いわゆるダマシン技術による配線の形成において、本発明者らは、以下に示すような問題を認識した。

【0006】

例えば、上記導電膜には銅が用いられるが、銅は、アルミニウムやタングステン等の金属と比較して、絶縁膜である酸化シリコン膜中を拡散しやすいという性

質を有する。また、導電膜上に直接、酸化シリコン膜を形成すると、接触部分の銅が酸化され配線抵抗が上昇する。

【0007】

従って、配線を覆うバリア膜の検討が重要となる。この配線を覆うバリア膜のうち、配線溝内部のバリア膜としては、窒化チタン膜が検討されており、配線上部を覆う被膜（キャップ膜）として窒化シリコン膜が検討されている。

【0008】

しかしながら、配線上部を覆う窒化シリコン膜によって銅の拡散や酸化を防止するためには、ある程度の厚さの窒化シリコン膜の形成が必要となる。また、窒化シリコン膜は、誘電率が高いことから配線のRC時定数が大きくなり、装置の高速動作を妨げる。

【0009】

また、銅配線内あるいは銅表面での銅の拡散によりエレクトロマイグレーションが生じ得るが、銅の拡散のしやすさを本発明者らが検討した結果、銅-バリア膜界面と銅-窒化シリコン膜界面とでは、拡散の活性化エネルギーが銅-バリア膜界面の方が大きい（すなわち、銅が拡散しにくい）と推測された。従って、エレクトロマイグレーション寿命は、銅-窒化シリコン膜界面での銅の拡散の活性化エネルギー値により律則されることになる。

【0010】

また、銅配線上に絶縁膜を介してさらに上層の配線を形成する場合、絶縁膜中に形成されたプラグを介して銅配線と上層配線とが接続されるが、この場合、銅配線上の窒化シリコン膜は、コンタクトを取るため除去されており、プラグ底面は下層配線の銅と直接に接している。このため、プラグ底部から下層の銅配線への電流パスにより電流が集中してエレクトロマイグレーションが生じやすい。さらに、プラグ直下において、エレクトロマイグレーションによりボイドが発生すると、プラグと下層の銅配線との接触面積が小さくなり、加速的に配線寿命が低下してしまう。

【0011】

また、上記プラグの形成に際し、コンタクトホールを開孔するが、この際もし

くはコンタクト特性を向上させるためのコンタクトホール底部のエッティングの際に、コンタクトホール底部の銅配線自身がスパッタエッティングされてしまうため、コンタクトホール側壁に銅が付着してしまう。かかる銅は、前述した通り、絶縁膜中に拡散しやすく、絶縁耐圧の低下やリーク電流の増加をもたらす。

【0012】

また、上述の導電膜を配線溝内部に埋め込むには、配線溝内部を含む絶縁膜上に、例えば銅膜を形成し、溝外部の余分な銅膜を化学機械的研磨（C M P : Chemical Mechanical Polishing）により除去する。この際、銅配線上部には、窪みが生じたり種々の欠陥が生じる。次いで、銅配線上に窒化シリコン膜を形成すると、上記欠陥部にボイドが生じ、このボイドがエレクトロマイグレーションの起点と成り得る。

【0013】

さらに、下層の銅配線に対して上述のコンタクトホール用のマスクがずれた場合、下層配線の側部に微細な窪みが生じ得る。このような微細な窪み内には、プラグを埋め込むことが困難で、上述の場合と同様にボイドとなり、エレクトロマイグレーションの起点と成り得る。さらに、この場合は、プラグと下層配線との接触面積がマスクずれにより少なくなっているため、かかる接触部界面に前述のボイドが移動した場合、プラグと下層配線の接続を確保できず接続不良となる。

【0014】

本発明の目的は、配線上にキャップ導電性膜を形成することにより、半導体集積回路装置の高速化を図ることである。

【0015】

また、本発明の他の目的は、エレクトロマイグレーションやストレスマイグレーションの発生を抑え、配線寿命を長くすることである。

【0016】

また、本発明の他の目的は、コンタクトホール底部エッティングの際に、下地である銅配線が直接スパッタされることを防止し、絶縁耐圧の向上や、リーク電流の低減を図ることである。

【0017】

また、本発明の他の目的は、コンタクトホールが配線に対してずれた場合であっても、コンタクト不良を低減することである。

【0018】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】

本発明の半導体集積回路装置の製造方法は、配線溝内にバリア層および導電性膜を順次形成後、配線溝外部のバリア層および導電性膜を除去することによって配線を形成した後、配線上にキャップ導電性膜を選択成長もしくは優先成長させることにより、配線上にキャップ導電性膜を形成するものである。

【0021】

このように、配線上にキャップ導電性膜を選択成長もしくは優先成長させることにより、容易にキャップ導電性膜を形成することができ、半導体集積回路装置の高速化を図ることができる。また、エレクトロマイグレーションやストレスマイグレーションの発生を抑え、配線寿命を長くすることができる。さらに、配線上に形成されるコンタクトホール底部エッティングの際に、下地である配線が直接スパッタされることを防止でき、絶縁耐圧の向上や、リーク電流の低減を図ることができる。また、このコンタクトホールが配線に対してずれた場合であっても、コンタクトを維持でき、コンタクト不良を低減することができる。

【0022】

なお、前記配線には、例えば、銅、銀、アルミニウムもしくはこれらの金属を主成分とする合金から成る配線が用いられ、また、前記キャップ導電性膜には、例えば、W膜が用いられる。このキャップ導電性膜には、WN、TiN、Ta、Ta_NもしくはNi膜を用いることもできる。さらに、このキャップ導電性膜は、1 Torr (1×1.33322×10²Pa) 以下の圧力下で形成すること

ができる。

【0023】

また、前記キャップ導電性膜上の絶縁膜を、TEOS膜もしくは炭素を含むシリコン系絶縁膜とこれらの膜より誘電率の低い膜との積層膜とすることもできる。また、前記キャップ導電性膜上の絶縁膜を、導電性膜を構成する導電体材料の拡散を防止する拡散防止絶縁膜と低誘電絶縁膜とすることもできる。この拡散防止絶縁膜には、例えば、窒化シリコン膜、PSG膜もしくは炭化シリコン膜等が用いられる。また、低誘電絶縁膜には、例えば、TEOS膜もしくはSiOF膜等が用いられる。

【0024】

さらに、前記キャップ導電性膜形成前に、基板表面をフッ化水素(HF)を含む溶液で洗浄することもできる。また、前記キャップ導電性膜形成前に、基板表面を水素処理することもできる。また、前記キャップ導電性膜形成後に、基板表面をフッ化水素(HF)もしくは過酸化水素(H₂O₂)を含む溶液で洗浄することもできる。

【0025】

これらの処理により信頼性の高いキャップ導電性膜を形成することができる。

【0026】

また、本発明の半導体集積回路装置は、配線溝側壁および底部に形成されたバリア層と、バリア層上に形成された導電性膜と、導電性膜上に形成されたキャップ導電性膜とを有するものである。

【0027】

このように、導電性膜(配線)上にキャップ導電性膜を形成することにより、半導体集積回路装置の高速化を図ることができる。また、エレクトロマイグレーションやストレスマイグレーションの発生を抑え、配線寿命を長くすることができる。さらに、配線上に形成されるコンタクトホール底部エッチングの際に、下地である配線が直接スパッタされることを防止でき、絶縁耐圧の向上や、リーク電流の低減を図ることができる。また、このコンタクトホールが配線に対してずれた場合であっても、コンタクトを維持でき、コンタクト不良を低減することができる。

できる。

【0028】

なお、前記配線には、例えば、銅、銀、アルミニウムもしくはこれらの金属を主成分とする合金から成る配線が用いられ、また、前記キャップ導電性膜には、例えば、W膜が用いられる。このキャップ導電性膜には、WN、TiN、Ta, TaNもしくはNi膜を用いることもできる。さらに、このキャップ導電性膜は、選択成長もしくは優先成長により形成された膜であっても良く、また、1Torr ($1 \times 1.33322 \times 10^2$ Pa) 以下の圧力下で形成された膜であっても良い。また、このキャップ導電性膜の膜厚は、同一配線内で均一であり、また、配線幅にかかわらず均一とすることができる。さらに、このキャップ導電性膜の膜厚のばらつきを50%以下とすることができる。また、このキャップ導電性膜の膜厚を、配線溝底部のバリア層より薄くすることができる。また、このキャップ導電性膜の膜厚は、例えば2~20nmである。

【0029】

また、前記キャップ導電性膜上の絶縁膜を、TEOS膜もしくは炭素を含むシリコン系絶縁膜とこれらの膜より誘電率の低い膜との積層膜とすることもできる。また、前記キャップ導電性膜上の絶縁膜を、導電性膜を構成する導電体材料の拡散を防止する拡散防止絶縁膜と低誘電絶縁膜とすることもできる。この拡散防止絶縁膜には、例えば、窒化シリコン膜、PSG膜もしくは炭化シリコン膜等が用いられる。また、低誘電絶縁膜には、例えば、TEOS膜もしくはSiOF膜等が用いられる。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0031】

(実施の形態1)

図1から図11は、本発明の実施の形態1である半導体集積回路装置の製造方

法を工程順に示した断面図である。

【0032】

まず、図1(a)に示すように、例えばp型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の主面に素子分離領域2を形成する。素子分離領域2を形成するには、まず素子分離領域の半導体基板1をエッチングして深さ350nm程度の溝を形成した後、半導体基板1を約850°C~1000°Cで熱酸化することによって、この溝の内壁に膜厚10nm程度の薄い酸化シリコン膜(図示せず)を形成する。次に、溝の内部を含む半導体基板1上にCVD法で膜厚450~500nm程度の酸化シリコン膜を堆積し、溝外部の酸化シリコン膜をCMPにより除去することによって、その表面を平坦化する。

【0033】

次に、半導体基板1にp型不純物(例えばホウ素)およびn型不純物(例えばリン)をイオン打込みした後、半導体基板1を約950°Cで熱処理し、上記不純物を拡散させることによって、p型ウエル3およびn型ウエル4を形成する。

【0034】

その後、図1(b)に示すように、フッ酸を用いたウェットエッチングで半導体基板1の表面を洗浄し、続いて半導体基板1を約800~850°Cで熱酸化することによって、その表面に膜厚7nm程度の清浄なゲート酸化膜5を形成する。

【0035】

次に、多結晶シリコン膜6を形成し、エッチングすることにより図2(a)に示すように、ゲート電極7を形成する。この際、pウエル3上の多結晶シリコン6中にn型不純物(例えばリン)を注入し、また、nウエル4上の多結晶シリコン6中にp型不純物(例えばホウ素)を注入しすることにより、nチャネル型MISFETのゲート電極をn型と、pチャネル型MISFETのゲート電極をp型とした、いわゆるデュアルゲート構造とすることも可能である。デュアルゲート構造を採用することにより、MISFETの閾値(V_{th})を下げる事ができ、低電圧でMISFETを駆動することが可能となる。

【0036】

次に、図2(b)に示すように、p型ウエル3上のゲート電極7の両側の半導

体基板1にn型不純物（リンまたはヒ素）をイオン打込みしてn型半導体領域8（ソース、ドレイン）を形成する。また、n型ウエル4上のゲート電極7の両側の半導体基板1にp型不純物（例えばホウ素）をイオン打込みしてp型半導体領域9（ソース、ドレイン）を形成する。

【0037】

次いで、サイドウォール10をゲート電極7の側壁に形成する。サイドウォール10は、例えば、半導体基板1上にCVD法で膜厚50～100nm程度の窒化シリコン膜を堆積した後、この窒化シリコン膜を異方的にエッチングすることにより形成する。

【0038】

次いで、ゲート電極7およびサイドウォール10をマスクに、p型ウエル3には、n型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁺型半導体領域11（ソース、ドレイン）を形成し、n型ウエル4には、p型不純物（ホウ素）をイオン打ち込みすることによってp⁺型半導体領域12（ソース、ドレイン）を形成する。ここまで工程で、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが形成される。

【0039】

次に、図3(a)に示すように、広い素子分離領域2上に抵抗素子を形成する。この抵抗素子は、素子分離領域2上の導体膜R、導体膜Rを覆う絶縁膜13および絶縁膜13上の引き出し電極14からなり、次のごとく形成する。例えば半導体基板1の全面に不純物の導入量の少ない多結晶シリコン等の導体膜を堆積し、これをパターニングすることにより導体膜Rを形成する。この導体膜Rには、多結晶シリコン膜等の半導体膜の他、タンゲステン等の金属膜を用いることができる。

【0040】

次いで、導体膜R上にCVD法(Chemical Vapor Deposition)もしくはスパッタ法により、酸化シリコン膜あるいは窒化シリコン膜等から成る絶縁膜13を堆積する。

【0041】

さらに、上記絶縁膜13の一部をエッティングすることにより接続孔を形成し、この接続孔内を含む絶縁膜13上に多結晶シリコン膜をCVD法により堆積した後、接続孔上部に残存するようパターニングすることにより引き出し電極14を形成する。

【0042】

次に、半導体基板1の全面にチタン等の高融点金属膜（図示せず）を形成する。かかる膜には、チタンの他、タングステン、コバルト等の金属を用いることもできる。

【0043】

次に、図3（b）に示すように、半導体基板1にRTA（Rapid Thermal Anneal）法を用いた熱処理を施すことにより、高融点金属膜とゲート電極7、引き出し電極14および半導体基板1との接触部に、シリサイド層16を形成する。その後、未反応の高融点金属膜を除去する。これらシリサイド層16を形成することにより、シリサイド層16と、後述するその上部に形成されるプラグ21等との接続抵抗を低減することができ、また、ゲート電極7や n^+ 型半導体領域11もしくは p^+ 型半導体領域12自身のシート抵抗を低減することができる。

【0044】

次に、図4（a）に示すように、CVD法により酸化シリコン膜を堆積することにより、層間絶縁膜18を形成する。この層間絶縁膜18として、PSG（Phosphor Silicate Glass）膜もしくはSOG（Spin On Glass）膜を使用してもよい。また、この層間絶縁膜18の表面をCMPにより平坦化してもよい。

【0045】

次に、図4（b）に示すように、 n^+ 型半導体領域11もしくは p^+ 型半導体領域12上および抵抗素子Rを構成するシリサイド層16上の層間絶縁膜18をエッティングにより除去することによりコンタクトホール20を形成する。

【0046】

次に、図5（a）に示すように、コンタクトホール20内を含む層間絶縁膜18上に、CVD法により窒化チタン膜（図示せず）を形成した後、CVD法によ

リタンジウム（W）膜（請求項3の第1の導電性膜）を形成する。次いで、コンタクトホール20以外の窒化チタン膜（TiN）およびタンジウム膜をCVDにより除去し、プラグ21を形成する。なお、前記窒化チタン膜は、スパッタ法により形成してもよい。また、この窒化チタン膜は、チタンと窒化チタンとの積層膜とすることもできる。

【0047】

次に、図5（b）に示すように、層間絶縁膜18およびプラグ21上に、窒化シリコン膜22を形成し、次いで、酸化シリコン膜23をCVD法により堆積する。

【0048】

次いで、図6（a）に示すように、第1層配線形成予定領域上の酸化シリコン膜23をエッチングにより除去し、さらに、このエッチングにより露出した窒化シリコン膜22をエッチングすることにより配線溝25を形成する。従って、酸化シリコン膜23のエッチングは、窒化シリコン膜22がエッチングされ難く、酸化シリコン膜23がエッチングされ易い条件で行う。次いで、窒化シリコン膜22がエッチングされ易い条件でエッチングを行う。このように、窒化シリコン膜22は、エッチングストッパーとして利用されるが、エッチング量を時間等で制御可能な場合は、窒化シリコン膜22を形成せず、酸化シリコン膜18上に酸化シリコン膜23を直接形成してもよい。

【0049】

次に、図6（b）に示すように、配線溝25内を含む酸化シリコン膜23上に窒化チタンからなるバリア層26aをスパッタ法もしくはCVD法により堆積し、次いで、バリア層26a上に、銅膜26b（請求項1、18および19の導電性膜、請求項2の第1の導電性膜、請求項3の第2の導電性膜）をスパッタ法により形成する。この際、ターゲットとウェハ間距離は300mm、成膜圧力は0.2mTorr ($0.2 \times 1.33322 \times 10^{-1}$ Pa) 以下、成膜初期温度は20°Cで最終到達温度は300°Cの条件で、平坦部で厚さ0.4μmの銅膜を形成する。次いで、還元雰囲気中でアニール、例えば、15Torr ($15 \times 1.33322 \times 10^2$ Pa)、430°Cの水素雰囲気中で2分間処理を行う。この

処理は、銅膜表面の酸化層を還元し、かつ、銅膜を流動化させることにより、配線溝内への銅の埋めこみ特性を向上させるために行う。なお、銅膜を電解メッキ法により形成することもできる。その場合は、スパッタ法により薄い銅膜を形成した後、かかる膜をシード膜としメッキ膜を成長させることも可能である。また、バリア層26aは、窒化チタンのみならず、タンタル(Ta)、窒化タンタル(TaN)、タングステン(W)もしくは窒化タングステン(WN)等の単層膜を用いることもできる。また、チタン膜上に窒化チタン膜を形成し、さらにチタン膜を形成した3層の積層膜(Ti/TiN/Ti)の他、Ti/TiN、Ta/TaN/Ta、Ta/TaN等の積層膜を用いることもできる。

【0050】

次に、図7(a)に示すように、配線溝25外部の銅膜26bおよび窒化チタン膜26aをCMPにより除去して配線26を形成する。

【0051】

次いで、配線26上にタングステンを選択成長もしくは優先成長させることにより、配線26(銅膜26b)上に2~20nm程度のタングステン膜26c(請求項のキャップ導電性膜)を形成する。タングステン膜26cは、例えば、0.3 Torr($0.3 \times 1.33322 \times 10^2$ Pa)、設定温度460℃で、6フッ化タングステン(WF₆)流量5scc、水素(H₂)流量500sccの条件下で、1.5分間処理を行うことにより形成する。

【0052】

かかる処理により、配線26上にのみにタングステンが選択的に成長もしくは、酸化シリコン膜18上に比べ配線26上にタングステンが優先的に成長する。

【0053】

なお、この選択成長もしくは優先成長は、CVD法もしくはメッキ法により達成することができ、CVD法により成膜する場合は、成膜圧力2Tor(2×1.33322×10²Pa)以下、温度250℃、6フッ化タングステン(WF₆)と水素(H₂)の流量比WF₆/H₂が1/50以下の条件で成膜することができる。

【0054】

また、タングステンの他、TiN、Ta、TaN、WN若しくはNi膜等も配線26上のキャップ導電性膜として使用できる。ここで、タングステンの抵抗が $5\sim20\mu\Omega\cdot\text{cm}$ とTiNのそれ $80\sim150\mu\Omega\cdot\text{cm}$ より小さいことからタングステン膜を用いることにより低抵抗で良好なコンタクトを図ることができる。

【0055】

このように、本実施の形態によれば、配線26上にタングステンを選択成長もしくは優先成長により形成したので、配線26の上面が直接窒化シリコン膜や酸化シリコン膜等の絶縁膜と接触することがなく、同じ金属であるタングステン膜26cと接触するためエレクトロマイグレーションを低減することができる。これは、前述した通り、銅とバリア膜界面と銅と窒化シリコン膜界面とでは、拡散の活性化工エネルギーが銅とバリア膜界面の方が大きい（すなわち、銅が拡散しにくい）ためと推測される。この結果、配線寿命を向上させることができる。

【0056】

また、配線26の側面および底面はバリア層26aで、その上面はタングステン膜26cで覆われ、配線26の周囲がすべて硬い金属で覆われることとなるためストレスマイグレーションによる配線欠け等をも防止することができる。この結果、配線寿命を向上させることができる。

【0057】

また、配線溝25内に銅膜26bを埋め込む際の埋めこみ不良や、配線26形成時のCMPやその後の熱処理によって配線26表面に、欠け、収縮もしくはスクランチ等が生じた場合であっても（図22（a））、配線26表面にタングステン膜26cが形成されることにより、欠け等の欠陥部を被覆することとなり、欠陥の修復を行うことができる（図22（b））。なお、図22（a）は、配線26上に欠陥が生じた場合を模式的に現した図であり、図22（b）は、（a）に示す配線26上に、前述のタングステン膜を選択成長もしくは優先成長させた後の模式図である。

【0058】

特に、上述したように、膜厚 $2\sim20\text{nm}$ 程度のタングステンの成長は、比較

的低圧 (1 Torr ($1 \times 1.33322 \times 10^2 \text{ Pa}$) 以下) で行うことが可能であるため、配線 26 表面の被覆性が良く、小さな欠陥をも修復することができる。

【0059】

さらに、これら欠陥はボイドの原因となり、かかるボイドを起点としエレクトロマイグレーションが誘発されるため、欠陥を修復することによりエレクトロマイグレーションを低減することができる。この結果、配線寿命を向上させることができる。

【0060】

次に、図8 (a) に示すように、酸化シリコン膜 23 および配線 26 (タンゲステン膜 26c) 上に、窒化シリコン膜 28 を形成し、次いで、酸化シリコン膜 29 をCVD法により堆積する。

【0061】

次いで、配線 26 のコンタクト領域上の酸化シリコン膜 29 をエッティングにより除去し、さらに、このエッティングにより露出した窒化シリコン膜 28 をエッティングすることによりコンタクトホール 30 を形成する。従って、酸化シリコン膜 29 のエッティングは、窒化シリコン膜 28 がエッティングされ難く、酸化シリコン膜 29 がエッティングされ易い条件で行う。次いで、窒化シリコン膜 28 がエッティングされ易い条件でエッティングを行う。このように、窒化シリコン膜 28 は、エッティングストッパーとして利用されるが、エッティング量を時間等で制御可能な場合は、窒化シリコン膜 28 を形成せず、酸化シリコン膜 23 および配線 26 上に酸化シリコン膜 29 を直接形成してもよい。なお、窒化シリコン膜を用いない場合は、配線間容量を低減することができ、回路動作の高速化を図ることができる。

【0062】

ここで、コンタクトホール 30 形成の際もしくは後述するコンタクトホール 30 の底面のエッティングの際、下層の配線 26 は、その表面が固いタンゲステン膜 26c で覆われているため、スパッタエッティングの際の銅の飛散を防止することができる。即ち、タンゲステン膜 26c が形成されない場合は、図23 (a) に

示すように、配線表面がエッチングされ、飛散した銅がコンタクトホール30側壁に付着する。これに対し、下層の配線26の表面が固いタンゲステン膜26cで覆われている本実施の形態の場合は、図23(b)に示すように、銅の飛散を防止することができる。従って、後述するバリア層の下部に銅の汚染層が形成されることなく、酸化シリコン膜(絶縁膜)への銅汚染を防止することができる。

【0063】

また、選択成長もしくは優先成長を利用することにより、配線26(銅膜26c)表面に容易にタンゲステン膜26cを形成することができる。また、このような選択成長もしくは優先成長によれば配線表面に比較的均一なタンゲステン膜26cを形成することができる。例えば、配線幅の異なる複数の配線を形成するような場合であっても、配線幅によらずに比較的均一なタンゲステン膜を形成することができる。また、同一配線内においても、その端部や中央部における膜厚を比較的均一(ばらつき50%以下)にすることができる。また、選択成長もしくは優先成長によれば配線26表面のタンゲステン膜26cを、配線側壁および底部を覆うバリア層26a(特にその底部の膜厚)より薄く形成することができ、上層配線との間で良好なコンタクト特性を得ることができる。

【0064】

また、従来検討されていた配線26表面の窒化シリコン膜を、タンゲステン膜とすることができますため、誘電率が高く、高速動作の妨げとなっていた銅の拡散防止用の窒化シリコン膜の使用量を低減もしくは廃止することができ、装置の高速動作を図ることができる。

【0065】

また、後述するプラグ30直下にボイドが発生しコンタクト領域を覆った場合においても、図24(b)に示すように、タンゲステン膜26cが電流パスとなりコンタクトを図ることができる。なお、従来検討されていた窒化シリコン膜を配線26表面に形成した場合には図24(a)に示すように、発生したボイドによりコンタクトが阻害される。

【0066】

図29は、銅膜のCMP後：A、タンクステン膜形成後：Bおよび酸化シリコン膜形成後：Cの配線抵抗を示す図である。なお、この場合、配線上に直接酸化シリコン膜を形成しており、窒化シリコン膜は使用していない。2種の配線（0.4 μm幅（○、●）および0.8 μm幅（□、■））に対し、配線上にタンクステン膜を形成した場合（●、■）と、形成しなかった場合（○、□）とにおいて、タンクステン膜形成の前後の状態について配線抵抗を測定した。この場合の配線抵抗とは、深さ0.4 μm、長さ1mmにパターニングされた配線の抵抗をいう。図29に示すように、タンクステン膜を形成した場合（●、■）においては、タンクステン膜形成後に酸化シリコン膜を形成しても配線抵抗は、ほとんど変化しなかった（●：140Ω、■65Ω）のに対し、タンクステン膜を形成せず（○、□）、配線上に直接酸化シリコン膜を形成した場合には、配線抵抗が極端に上昇した（○：140から400Ω、□：65から180Ω）。

【0067】

これは、配線と酸化シリコンの接触部において配線（銅膜26c）が酸化されたことが原因と考えられる。このように、タンクステン膜26cを形成することにより、配線26表面の酸化を防止することができ、配線抵抗の上昇を低減することができる。

【0068】

次に、図8（b）に示すようにコンタクトホール30内に、プラグ31を形成する。このプラグ31の形成前に、良好なコンタクト特性を得るために、コンタクトホール30の底面をエッティングする。

【0069】

なお、このエッティングもしくは前述のコンタクトホール30の開孔の際のエッティングによって、コンタクトホール30底面のタンクステン膜26cもエッティングされる。また、これらのエッティングによってコンタクトホール底面のタンクステン膜26cが消失してもかまわなし、別途、コンタクトホール底面のタンクステン膜26cのエッティングを行ってもよい。

【0070】

前記プラグ31は次のように形成する。まず、コンタクトホール30内を含む

酸化シリコン膜29上に、CVD法もしくはスパッタ法により窒化チタン膜31aを形成した後、CVD法によりタングステン膜31bを形成する。次いで、コンタクトホール30外部の窒化チタン膜31aおよびタングステン膜31bをCMPにより除去し、プラグ31を形成する。なお、配線26と同様に、窒化チタン膜31a上に、銅膜をスッパタ法もしくはメッキ法により形成し、銅プラグ31としても良い。この場合、窒化チタン膜31aに変えて、例えば、タンタル、窒化タンタル、タングステンもしくは窒化タングステン等の単層膜や、チタン膜上に窒化チタン膜を形成し、さらにチタン膜を形成した3層の積層膜(Ti/TiN/Ti)の他、Ti/TiN、Ta/TaN/Ta、Ta/TaN等の積層膜を用いても良い。

【0071】

次に、図9に示すように、配線26の場合と同様に、配線35を形成する。まず、酸化シリコン膜29およびプラグ31上に、窒化シリコン膜32を形成し、次いで、酸化シリコン膜33をCVD法により堆積する。

【0072】

次いで、配線溝25の場合と同様に、第2層配線形成予定領域上の酸化シリコン膜33をエッチングにより除去し、さらに、このエッチングにより露出した窒化シリコン膜32をエッチングすることにより配線溝34を形成する。

【0073】

次に、配線溝34内を含む酸化シリコン膜33上に窒化チタンからなるバリア層35aをスパッタ法もしくはCVD法により堆積し、次いで、バリア層35a上に、銅膜35bをスパッタ法により形成する。この際の成膜条件は、銅膜26bの場合と同じである。

【0074】

次に、配線溝34外部の銅膜35bおよびバリア層35aをCMPにより除去して配線35を形成する。

【0075】

次いで、配線35(銅膜35b)上にタングステンを選択成長もしくは優先成長させることにより配線35上にタングステン膜35cを選択的もしくは優先的

に形成する。この際の成膜条件は、配線26上のタンゲステン膜26cの場合と同じである。

【0076】

次に、図10に示すように、酸化シリコン膜33および配線35（タンゲステン膜35c）上に、塗化シリコン膜36を形成し、次いで、酸化シリコン膜37をCVD法により堆積する。

【0077】

次いで、コンタクトホール30と同様に、配線35のコンタクト領域上の酸化シリコン膜37をエッティングにより除去し、さらに、このエッティングにより露出した塗化シリコン膜36をエッティングすることによりコンタクトホール38を形成する。

【0078】

次に、プラグ31と同様に、コンタクトホール38内を含む酸化シリコン膜37上に、スパッタ法もしくはCVD法により塗化チタン膜39aを形成し後、CVD法によりタンゲステン膜39bを形成する。次いで、コンタクトホール38以外の塗化チタン膜39aおよびタンゲステン膜39bをCMPにより除去し、プラグ39を形成する。なお、プラグ39も銅プラグとしても良い。

【0079】

次に、酸化シリコン膜37およびプラグ39上にチタン膜もしくは塗化チタン膜40a、アルミニウム膜40bおよび塗化チタン膜40cを順次堆積し、これら積層膜を所望の形状にパターニングすることによりプラグ39上まで延在する配線40を形成する。

【0080】

次いで、図11に示すように、配線40および酸化シリコン膜37上に酸化シリコン膜41をCVD法により堆積した後、この酸化シリコン膜41上にSOG膜42を形成する。このSOG膜42を形成することにより、配線40により生じた凹凸を平坦化することができる。なお、SOG膜42上にCVD法によりTEOS膜等の酸化シリコン膜42aを形成しても良い。

【0081】

さらに、配線40のコンタクト領域上の酸化シリコン膜42a、SOG膜42および酸化シリコン膜41をエッチングにより除去する。続いて、配線40のコンタクト領域および酸化シリコン膜42a上に、スパッタ法によりアルミニウム膜を堆積し、所望の形状にパターニングすることによって、配線43を形成する。

【0082】

次いで、配線43上に窒化シリコン膜44を形成し、窒化シリコン44上に酸化シリコン膜45形成する。これら窒化シリコン膜44および酸化シリコン膜45は、外部からの水分や不純物の侵入防止や、 α 線の透過の抑制を行うパッシベーション膜として機能する。

【0083】

次に、酸化シリコン膜45および窒化シリコン膜44をエッチングにより除去することにより配線43の一部（ボンディングパッド部）を露出させる。続いて、露出した配線43上に金膜およびニッケル膜等の積層膜からなるバンプ下地電極47を形成し、バンプ下地電極47上に金もしくは半田等からなるバンプ電極48を形成する。このバンプ電極48は外部接続用電極となる。

【0084】

この後、パッケージ基板等に実装され半導体集積回路装置が完成するが、それらの説明は省略する。

【0085】

なお、本実施の形態においては、第1層配線として配線26を、第2層配線として配線35を形成し、第2層配線上にプラグ39を介してアルミニウム配線40を形成したが、図12に示すように、第2層配線35とアルミニウム配線40との間に第3層配線M3および第4層配線M4を形成してもよい。かかる場合、第3層配線M3および第4層配線M4も、第1および第2層配線26、35と同様に形成し、配線表面にはタンゲステン膜M3c、M4cが形成される。また、第3層配線と第4層配線との間のプラグP3および第4層配線とアルミニウム配線40との間のプラグP4は、プラグ31および39と同様に形成する。ここで、49、51、53、55は、窒化シリコン膜であり、50、52、54、56

は、酸化シリコン膜である。

【0086】

また、本実施の形態においては、配線26、35等上に、タンゲステン膜26c、35c等を選択成長もしくは優先成長させたが、プラグ31、39等上にタンゲステン膜を選択成長もしくは優先成長させても良い。

【0087】

(実施の形態2)

実施の形態1においては、配線を、配線間を接続するプラグと異なる工程で形成する、いわゆるシングルダマシン法により形成したが、デュアルダマシン法により形成することもできる。図13から図20は、本発明の実施の形態2である半導体集積回路装置の製造方法を工程順に示した断面図である。なお、図1から図6(a)を用いて説明したプラグ21形成までの工程は、実施の形態1の場合と同じであるためその説明を省略する。

【0088】

図6(a)に示す半導体基板1には、p型ウエル3上およびn型ウエル4上に、それぞれLDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが形成され、また、広い素子分離領域2上に導体膜R、導体膜Rを覆う絶縁膜13および絶縁膜13上の引き出し電極14から成る抵抗素子が形成されている。さらに、これら半導体素子上には層間絶縁膜18が形成され、かかる層間絶縁膜18中には、MISFETのソース・ドレイン領域上および抵抗素子上に到達するプラグ21が形成されている。

【0089】

このような半導体基板1を準備し、図13(a)に示すように、層間絶縁膜18およびプラグ21上に、窒化シリコン膜22を形成し、次いで、酸化シリコン膜23をCVD法により堆積する。

【0090】

次いで、図13(b)に示すように、第1層配線形成予定領域上の酸化シリコン膜23をエッチングにより除去し、さらに、このエッチングにより露出した窒

化シリコン膜22をエッティングすることにより配線溝25を形成する。従って、酸化シリコン膜23のエッティングは、窒化シリコン膜22がエッティングされ難く、酸化シリコン膜23がエッティングされ易い条件で行う。次いで、窒化シリコン膜22がエッティングされ易い条件でエッティングを行う。このように、窒化シリコン膜22は、エッティングストッパーとして利用されるが、エッティング量を時間等で制御可能な場合は、窒化シリコン膜22を形成せず、酸化シリコン膜18上に酸化シリコン膜23を直接形成してもよい。

【0091】

次に、図14(a)に示すように、配線溝25内を含む酸化シリコン膜22上に窒化チタンからなるバリア層26aをスパッタ法もしくはCVD法により堆積し、次いで、バリア層26a上に、銅をスパッタ法により形成する。この際、ターゲットとウエハ間距離は300mm、成膜圧力は0.2mTorr(0.2×1.33322×10⁻¹Pa)以下、成膜初期温度は20℃で最終到達温度は300℃の条件で、平坦部で厚さ0.4μmの銅膜を形成する。次いで、還元雰囲気中でアニール、例えば、15Torr(15×1.33322×10²Pa)、430℃の水素雰囲気中で2分間処理を行う。この処理は、銅膜表面の酸化層を還元し、かつ、銅膜を流動化させることにより、配線溝内への銅の埋めこみ特性を向上させるために行う。

【0092】

なお、銅膜を電解メッキ法により形成することもできる。この場合、スパッタ法により薄い銅膜を形成した後、かかる膜をシード膜としメッキ膜を成長させる。即ち、ターゲットとウエハ間距離は300mm、成膜圧力は0.2mTorr(0.2×1.33322×10⁻¹Pa)以下、成膜初期温度は10℃、最終到達温度は50℃の条件で、平坦部で厚さ200nmの銅膜を形成する。次いで、硫酸および硫酸銅ベースのメッキ液に半導体基板1を浸漬し、半導体基板1に負の電位を印加することにより電解メッキを行い、平坦部において膜厚600nmの銅膜を形成する。図14(a)中には、この電解メッキ法により形成された銅膜26bの状態を示す。また、前記シード膜をCVD法により形成してもよい。

【0093】

また、バリア層26aは、窒化チタンのみならず、タンタル、窒化タンタル、タンゲステンもしくは窒化タンゲステン等の単層膜を用いることもできる。また、チタン膜上に窒化チタン膜を形成し、さらにチタン膜を形成した3層の積層膜(Ti/TiN/Ti)の他、Ti/TiN、Ta/TaN/Ta、Ta/TaN等の積層膜を用いることもできる。

【0094】

次に、図14(b)に示すように、配線溝25外部の銅膜26bおよびバリア層26aをCMPにより除去して配線26を形成する。

【0095】

次いで、図15(a)に示すように、配線26(銅膜26b)上にタンゲステンを選択成長もしくは優先成長させることにより、配線26上に2~20nm程度のタンゲステン膜26cを形成する。タンゲステン膜26cは、例えば、0.3 Torr($0.3 \times 1.33322 \times 10^2$ Pa)、設定温度460°Cで、フッ化タンゲステン(WF₆)流量5scc、水素(H₂)流量500sccの条件下で、1.5分間処理を行うことにより形成する。

【0096】

かかる処理により、配線26上にのみにタンゲステンが選択的に成長もしくは、酸化シリコン膜18上に比べ配線26上にタンゲステンが優先的に成長する。

【0097】

なお、タンゲステンの他、TiN、Ta、TaN、WN若しくはなお、タンゲステンの他、TiN、Ta、TaN、WN若しくはNi膜等も配線26上のキャップ導電性膜として使用できる。ここで、タンゲステンの抵抗が $5 \sim 20 \mu\Omega \cdot cm$ とTiNのそれ $80 \sim 150 \mu\Omega \cdot cm$ より小さいことからタンゲステン膜を用いることにより低抵抗で良好なコンタクトを図ることができる。

【0098】

このように、本実施の形態によれば、配線26上にタンゲステンを選択成長もしくは優先成長により形成したので、配線26の上面が直接窒化シリコン膜や酸化シリコン膜等の絶縁膜と接触することがなく、同じ金属であるタンゲステン膜26cと接触するためエレクトロマイグレーションを低減することができる。こ

れは、前述した通り、銅とバリア膜界面と銅と窒化シリコン膜界面とでは、拡散の活性化エネルギーが銅とバリア膜界面の方が大きい（すなわち、銅が拡散しにくい）ためと推測される。この結果、配線寿命を向上させることができる。

【0099】

また、配線26の側面および底面はバリア層26aで、その上面はタンゲステン膜26cで覆われ、配線26の周囲がすべて硬い金属で覆われることとなるためストレスマイグレーションによる配線欠け等をも防止することができる。この結果、配線寿命を向上させることができる。

【0100】

また、配線溝25内に銅膜26bを埋め込む際の埋めこみ不良や、配線26形成時のCMPやその後の熱処理によって配線26表面に、欠け、収縮もしくはスクラッチ等が生じた場合であっても（図22（a））、配線26表面にタンゲステン膜26cが形成されることにより、欠け等の欠陥部を被覆することとなり、欠陥の修復を行うことができる（図22（b））。

【0101】

特に、上述したように、膜厚2～20nm程度のタンゲステンの成長は、比較的低圧（1 Torr ($1 \times 1.33322 \times 10^2$ Pa) 以下) で行うことが可能であるため、配線26表面の被覆性が良く、小さな欠陥をも修復することができる。

【0102】

さらに、これら欠陥はボイドの原因となり、かかるボイドを起点としエレクトロマイグレーションが誘発されるため、欠陥を修復することによりエレクトロマイグレーションを低減することができる。この結果、配線寿命を向上させることができる。

【0103】

次に、図15（b）に示すように、酸化シリコン膜23および配線26上に、窒化シリコン膜28、酸化シリコン膜29、窒化シリコン膜32および酸化シリコン膜33を順次CVD法により堆積する。ここで、窒化シリコン膜32は、配線溝34を形成する際のエッティングストッパーとして、また、窒化シリコン膜2

8は、下層配線26との接続を図るためのコンタクトホール30を形成する際のエッチングストッパーとして機能する。

【0104】

次に、図16(a)に示すように、配線26のコンタクト領域上の酸化シリコン膜33、窒化シリコン膜32および酸化シリコン膜29をエッチングにより除去し、さらに、このエッチングにより露出した窒化シリコン膜28をエッチングすることによりコンタクトホール30を形成する。

【0105】

次いで、図16(b)に示すように、コンタクトホール30内を含む酸化シリコン膜33上に反射防止膜もしくはレジスト膜33aを形成し、コンタクトホール内を反射防止膜もしくはレジスト膜33aで埋め込む。さらに、図17(a)に示すように、第2層配線形成予定領域を開口したフォトレジスト膜(図示せず)をマスクに、反射防止膜もしくはレジスト膜33a、酸化シリコン膜33をエッチングする。続いて、このエッチングにより露出した窒化シリコン膜32をエッチングすることにより配線溝34を形成する。この際コンタクトホール30内には、反射防止膜もしくはレジスト膜33aが残存する。次に、コンタクトホール内に残存した反射防止膜もしくはレジスト膜33aと上記フォトレジスト膜を除去する。

【0106】

以上の工程により、図17(b)に示すように、第2層配線用の配線溝34と、第2層配線と第1層配線とを接続するためのコンタクトホール30が形成される。

【0107】

なお、第2層配線形成予定領域を開口したフォトレジスト膜をマスクに、酸化シリコン膜33および窒化シリコン膜32をエッチングすることにより、配線溝34を形成した後、配線溝34内を反射防止膜等で埋め込み、第1層配線上のコンタクト領域を開口したフォトレジスト膜をマスクに、反射防止膜、酸化シリコン膜29および窒化シリコン膜28をエッチングすることによりコンタクトホール30を形成してもよい。

【0108】

また、エッティングストッパーとして用いられる窒化シリコン膜32、28は、エッティング量を時間等で制御可能な場合は、省略することが可能である。即ち、酸化シリコン膜23および配線26上に酸化シリコン膜29および33の膜厚を合わせた膜厚を有する酸化シリコン膜を形成し、第2層配線形成予定領域を開口したレジスト膜をマスクに、一定時間酸化シリコン膜をエッティングし、配線溝34を形成した後、第1層配線上のコンタクト領域を開口したレジスト膜をマスクに、コンタクトホール30を形成してもよい。この場合においても、コンタクトホール30を形成後、配線溝34を形成してもよい。

【0109】

また、タンゲステン膜26cおよび酸化シリコン膜23（A膜種という）上に、酸化シリコン膜29（B膜種という）を形成した後、その上に、酸化シリコン膜33をA膜種で、もしくは、酸化シリコン膜29、23とそれぞれ異なるC膜種で形成し、酸化シリコン膜33（AもしくはC膜種）のエッティングにおいては、その下層の酸化シリコン膜29（B膜種）がエッティングされ難く、酸化シリコン膜33（AもしくはC膜種）がエッティングされ易い条件で行う。次いで、酸化シリコン膜29（B膜種）のエッティングにおいては、その下層のタンゲステン膜26cがエッティングされ難く、酸化シリコン膜29（B膜種）がエッティングされ易い条件で行う。

【0110】

これらA、BおよびC膜種は、酸化シリコン膜に限られず、絶縁膜であれば良い。これらの膜の例としては、CVD酸化シリコン膜、有機系もしくは無機系の塗布剤、PIQ膜の他、SiOF膜もしくはポーラスシリカ等が挙げられる。

【0111】

続いて、良好なコンタクト特性を得るために、コンタクトホール30底面をエッティングする。

【0112】

次に、図18（a）に示すように、配線溝34およびコンタクトホール30内を含む酸化シリコン膜32上に窒化チタンからなるバリア層35aをスパッタ法

もしくはCVD法により堆積し、次いで、バリア層35a上に、銅膜35b（請求項1、4、5、18および19記載の導電性膜、請求項2および20記載の第1の導電性膜）を銅膜26bと同様に、電解メッキ法により形成する。また、銅膜35bを、スパッタ法により形成することもできる。また、バリア層は、窒化チタンのみならず、実施の形態1で説明したように、タンタル等の単層膜もしくは、Ti/TiN/Ti膜等の積層膜とすることもできる。

【0113】

次に、図18(b)に示すように、配線溝34およびコンタクトホール30外部の銅膜35bおよびバリア層35aをCMPにより除去して、配線35および配線35と配線26との接続部を形成する。

【0114】

このように、デュアルダマシン法により、配線溝35およびコンタクトホール30内に同時に銅膜35bを埋め込めば、第2層配線と第1層配線との接続が、銅膜35b-窒化チタン35a-タンゲステン35c-銅膜26bとなるため実施の形態1に比べ良好なコンタクト特性を得ることができる。

【0115】

次いで、図19に示すように、配線35（銅膜35b）上にタンゲステンを選択成長もしくは優先成長させることにより2から20nm程度のタンゲステン膜35c（請求項のキャップ導電性膜）を形成する。タンゲステン膜35cは、例えば、0.3 Torr (0.3 × 1.33322 × 10² Pa)、設定温度460°Cで、WF₆流量5 scc、H₂流量500 sccの条件で、1.5分間処理を行うことにより形成する。

【0116】

かかる処理により、配線35（銅膜35b）上のみにタンゲステンが選択的に成長もしくは、酸化シリコン膜34より配線35上にタンゲステンが優先的に成長する。

【0117】

ここで、コンタクトホール30形成の際もしくはコンタクトホール30底面のエッティングの際、スパッタエッティングの際の銅の飛散を防止することができるの

は、図23を参照しながら説明した実施の形態1の場合と同様である。

【0118】

また、選択成長もしくは優先成長を利用することにより、配線35表面に容易にタンゲステン膜を形成することができ、配線表面に比較的均一なタンゲステン膜を形成することができるのも実施の形態1で説明した通りである。また、選択成長もしくは優先成長によれば配線表面のタンゲステン膜を、薄く形成することができ、良好なコンタクト特性を得ることができる点、誘電率が高く、高速動作の妨げとなっていた銅膜表面の窒化シリコン膜を、タンゲステン膜とすることができるため装置の高速動作を図ることができる点、後述するプラグ近傍にボイドが発生し、コンタクト領域を覆った場合においてもタンゲステン膜が電流バスとなりコンタクトを図ることができる点（図24参照）も実施の形態1で説明した通りである。

【0119】

さらに、実施の形態1において、図29を参照しながら説明した通り、タンゲステン膜35cを形成することにより、配線35表面の酸化を防止することができ、配線抵抗の上昇を低減することができる。

【0120】

また、タンゲステンの他、TiN、Ta、TaN、WN若しくはNi等を銅配線上に形成することも考え得るが、タンゲステンの抵抗が $5 \sim 20 \mu\Omega \cdot cm$ と例えば、TiNのそれ $80 \sim 150 \mu\Omega \cdot cm$ より小さいことからタンゲステン膜を用いることにより良好なコンタクトを図ることができる。

【0121】

次に、図20に示すように、酸化シリコン膜33および配線35上に、窒化シリコン膜36および酸化シリコン膜37をCVD法により順次形成した後、プラグ39を形成し、さらに、配線40を形成するのであるが、これらの形成工程は実施の形態1の場合と同様であるためその詳細な説明は省略する。また、配線40上に酸化シリコン膜41等を介して形成される配線43および配線43上に窒化シリコン膜44および酸化シリコン膜45を介して形成されるバンプ下地電極47およびバンプ電極48も実施の形態1と同様の工程で形成されるため、その

詳細な説明は省略する。

【0122】

また、バンプ電極48形成後、パッケージ基板等に実装され半導体集積回路装置が完成するがそれらの説明は省略する。

【0123】

なお、本実施の形態においては、第1層配線26、第2層配線35を形成し、第2層配線35上にプラグ39を介してアルミニウム配線40を形成したが、実施の形態1の場合と同様に、第2層配線とアルミニウム配線40との間に第3層配線M3および第4層配線M4を形成してもよい(図21)。かかる場合、第3層配線および第4層配線も、第1および第2層配線と同様にデュアルダマシン法により形成する。即ち、配線溝とコンタクトホールを形成した後、これらを同時に埋め込むことにより配線を形成する。さらに、この配線表面にはタンクスチタン膜(3Mc、4Mc)が形成される。

【0124】

(実施の形態3)

実施の形態1および実施の形態2では、タンクスチタン膜26c、35c形成後(実施の形態1においては図7(b)、実施の形態2においては図19参照)、タンクスチタン膜26c、35c上に窒化シリコン膜28、36および酸化シリコン膜29、37を形成したが、図25(a)および(b)に示すように、タンクスチタン膜26c、35c上にテトラエトキシシランを原料ガスとしてCVD法により堆積した酸化シリコン膜(以下TEOS膜という)328、336を薄く形成し、その上部にTEOS膜より誘電率の低い絶縁膜(誘電率4以下)329、337を形成してもよい。なお、TEOS膜328、336に変えて、炭化シリコン膜等の炭素を含むシリコン系絶縁膜としても良い。

【0125】

このように、タンクスチタン膜26c、35c上にTEOS膜328、336を形成すれば、緻密なTEOS膜によって配線26、35を保護することができ、誘電率の低い絶縁膜329、337を形成すれば、半導体集積回路装置の動作の高速化を図ることができる。

【0126】

なお、タングステン膜26c、35c形成までの工程は、実施の形態1もしくは実施の形態2で説明した場合と同様であるためその説明を省略する。

【0127】

また、前記絶縁膜329、337の形成後の工程は、実施の形態1および実施の形態2における酸化シリコン膜29、37の形成後の工程と同様であるためその説明を省略する。

【0128】

(実施の形態4)

実施の形態1および実施の形態2では、タングステン膜26c、35c形成後(実施の形態1においては図7(b)、実施の形態2においては図19参照)、タングステン膜26c、35c上に窒化シリコン膜28、36および酸化シリコン膜29、37を形成したが、図26(a)および(b)に示すように、タングステン膜26c、35c上に窒化シリコン膜、PSG膜もしくは炭化シリコン膜等の銅の拡散を防止する能力のある絶縁膜428、436を形成し、その上部に、この絶縁膜428、436より誘電率の低い低誘電材料からなる絶縁膜429、437を形成してもよい。この低誘電材料からなる絶縁膜429、437には、例えば、誘電率4以下の絶縁膜が挙げられ、TEOS膜、SiOF膜、有機系塗布膜およびポーラスシリカ膜等が挙げられる。

【0129】

このように、タングステン膜26c、35c上に窒化シリコン膜等428、436を形成すれば、タングステン膜26c、35cの膜厚が充分でない部分においても窒化シリコン膜等428、436によって銅の窒化シリコン膜428、436およびTEOS膜429、437への拡散を防止することができる。また、TEOS膜429、437は、誘電率が4以下であり比較的低誘電であるため、絶縁膜全体の誘電率を低下させることができ、半導体集積回路装置の動作の高速化を図ることができる。

【0130】

なお、タングステン膜26c、35c形成までの工程は、実施の形態1もしく

は実施の形態2で説明した場合と同様であるためその説明を省略する。

【0131】

また、低誘電材料からなる絶縁膜429、437の形成後の工程は、実施の形態1および実施の形態2における酸化シリコン膜29、37の形成後の工程と同様であるためその説明を省略する。

【0132】

(実施の形態5)

実施の形態1および実施の形態2では、銅膜26b、35b等のCMP後、配線26、35の表面にタンゲステン膜26c、35cを選択成長もしくは優先成長させたが、タンゲステン膜26c、35c形成前に、次のような前処理を行ってもよい。

【0133】

銅膜26b、35bのCMP後(実施の形態1においては図7(a)、実施の形態2においては図18(b)参照)、基板表面(銅膜26b、35bおよび酸化シリコン膜23、33表面)をフッ化水素(HF)溶液等の洗浄液で洗浄した後、配線26、35上にタンゲステン膜26c、35cを選択成長もしくは優先成長させる。

【0134】

このように、配線26、35上にタンゲステン膜26c、35cを選択成長もしくは優先成長させる前に、基板表面をフッ化水素(HF)を含む溶液で洗浄すれば、酸化シリコン膜上のメタル汚染がエッチングされるため(図27(b))、選択性もしくは優先性がよく、配線26、35上にタンゲステン膜を形成することができる(図27(c))。これに対して、銅膜26b、35b等のCMP後、酸化シリコン膜23、33上に汚染メタルが存在した場合、図27(a)に示すように汚染メタル上にもタンゲステン膜が成長してしまう。

【0135】

図28(a)は、フッ化水素(HF)溶液での洗浄を行った場合(処理時間20秒:B、処理時間60秒:C)と、フッ化水素(HF)溶液での洗浄を行わなかった場合:Aの配線ショート歩留まりを示したグラフである。

【0136】

図28(a)に示すように、フッ化水素(HF)溶液での洗浄を行わなかった場合:Aは、歩留まりが30%程度であるのに対し、フッ化水素(HF)溶液での洗浄を行った場合は、処理時間が20秒:B、60秒:Cの双方とも歩留まりは100%であった。

【0137】

なお、本実施の形態における前処理は、実施の形態3および実施の形態4で説明した半導体集積回路装置の製造に際しても適用することができる。

【0138】

(実施の形態6)

また、実施の形態1および実施の形態2では、銅膜26b、35b等のCMP後、配線26、35の表面にタンクスチタン膜26c、35cを選択成長もしくは優先成長させたが、タンクスチタン膜26c、35c形成前に、次のような前処理を行ってもよい。

【0139】

銅膜26b、35bのCMP後(実施の形態1においては図7(a)、実施の形態2においては図18(b)参照)、基板表面に対し、例えば、430℃、10 Torr ($10 \times 1.33322 \times 10^2$ Pa)の条件下で、水素処理を1分間行う。なお、この水素処理は、タンクスチタン膜26c、35cの成膜と同じ装置内で行うことが可能である。

【0140】

このように、配線26、35上にタンクスチタン膜26c、35cを選択成長もしくは優先成長させる前に、基板表面を水素処理すれば、配線上の酸化物が還元され、また、基板表面の吸着ガス、水分および有機物が除去される。また、配線表面に水素が吸着・吸蔵されることにより、その後のタンクスチタン膜26c、35c形成時に、タンクスチタンが選択成長もしくは優先成長しやすくなる。

【0141】

従って、信頼性の高いタンクスチタン膜を形成することができ、また、タンクスチタン膜と銅膜26b、35bとの密着性を向上させることができる。

【0142】

図28(b)は、水素処理行った場合(処理時間60秒:B、処理時間300秒:C)と、水素処理を行わなかった場合:Aの配線ショート歩留まりを、また、図28(c)は、配線抵抗歩留まりを示したグラフである。なお、タンゲステン膜の成長条件は、設定温度460°C、WF₆流量7scc、水素流量500scc、圧力0.45Torr(0.45×1.33322×10²Pa)で、処理時間120秒である。また、実施の形態5および後述の実施の形態7で説明する洗浄処理は行っていない。

【0143】

図28(b)に示すように、水素処理を行わなかった場合:Aは、配線ショート歩留まりがほぼ0%であるのに対し、水素処理を行った場合は、処理時間が60秒:B、300秒:Cの双方とも歩留まりは100%となった。また、図28(c)に示すように、水素処理を行わなかった場合:Aは、配線抵抗歩留まりが30%程度であるのに対し、水素処理を行った場合は、処理時間が60秒:B、300秒:Cの双方とも歩留まりは100%であった。

【0144】

また、タンゲステン膜26c、35c形成後にも同様の還元処理、例えば、360°Cでのアンモニア(NH₃)プラズマ処理を行えば、タンゲステン膜26c、35c上を含む基板表面の吸着ガス、水分および有機物が除去され、信頼性の高いタンゲステン膜を形成することができる。また、タンゲステン膜26c、35c上に形成される窒化シリコン膜等の絶縁膜との密着性を向上させることができる。なお、この還元処理は、前記絶縁膜の成膜と同一装置内で行うことが可能である。

【0145】

なお、本実施の形態における前処理は、実施の形態3および実施の形態4で説明した半導体集積回路装置の製造に際しても適用することができる。

【0146】

また、実施の形態1~4で説明した半導体集積回路装置に対し、実施の形態5で説明した洗浄処理と本実施の形態の還元処理を併用することもできる。

【0147】

(実施の形態7)

また、配線表面にタングステン膜26c、35c形成を選択成長もしくは優先成長させた後、次のような後処理を行ってもよい。

【0148】

配線26、35表面にタングステン膜26c、35cを選択成長もしくは優先成長させた後（実施の形態1においては図7（b）、実施の形態2においては図19（a）参照）、基板表面（タングステン膜26c、35cおよび酸化シリコン膜23、33表面等）をフッ化水素（HF）もしくは過酸化水素（H₂O₂）等を含む溶液で洗浄する。

【0149】

このように、タングステン膜26c、35cを選択成長もしくは優先成長させた後に、基板表面をフッ化水素（HF）溶液等で洗浄すれば、図27（a）に示すように、酸化シリコン膜上にタングステン膜が成長し（選択性のやぶれが生じ）、もしくは、実施の形態5において説明したように酸化シリコン膜上の汚染メタル上にタングステン膜が成長した場合であっても、これら不必要的タングステン膜および汚染メタルがエッチングされ、信頼性の高いタングステン膜を形成することができる。

【0150】

なお、不必要的タングステン膜の除去に際してはCMPを用いても良い。配線上に形成されたタングステン膜は相対的に厚く連続膜であるのに対して、絶縁膜上のタングステン膜は不連続でかつ薄いため、絶縁膜上のタングステン膜のみを除去することができる。

【0151】

また、本実施の形態における後処理は、実施の形態1～4で説明した半導体集積回路装置の製造に際しても適用することができる。

【0152】

また、実施の形態1～4で説明した半導体集積回路装置に対し、実施の形態5もしくは実施の形態6で説明した前処理と本実施の形態の後処理を併用すること

もできる。

【0153】

さらに、実施の形態1～4で説明した半導体集積回路装置に対し、実施の形態5で説明した洗浄処理および実施の形態6で説明した還元処理と本実施の形態の後処理を併用することもできる。

【0154】

以上、発明者によってなされた本発明を、実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0155】

特に、前述の実施の形態においては、MISFETおよび抵抗素子上に形成された配線に本発明を適用したが、本発明は、多層配線を用いた半導体集積回路装置に広く適用可能である。

【0156】

また、前述の実施の形態においては、銅配線（銅膜26b）としたが、銅、銀、アルミニウムもしくはこれらの金属を主成分とする合金から成る配線としても良い。また、銅合金には、Mg含有量が5%以下の合金もしくはAl含有量が3%以下の合金を含む。

【0157】

また、前述の実施の形態においては、バリア層26a、35a等上に銅膜26b、35b等を形成したが、図30に示すように、(a)タングステン膜826a、835aを配線溝底部にのみ残存させる、(b)バリア層35a上に更にタングステン膜835dを形成する、もしくは、(c)(a)に示したタングステン膜826a、835a上にさらにバリア層26a、35aを形成する等種々の変更、組み合わせが可能である。

【0158】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0159】

本発明の半導体集積回路装置の製造方法によれば、配線上にキャップ導電性膜を選択成長もしくは優先成長させたので、半導体集積回路装置の高速化を図ることができる。

【0160】

また、エレクトロマイグレーションやストレスマイグレーションの発生を抑え、配線寿命を長くすることができる。

【0161】

さらに、配線上に形成されるコンタクトホール底部エッチングの際に、下地である配線が直接スパッタされることを防止でき、絶縁耐圧の向上や、リーク電流の低減を図ることができる。

【0162】

また、このコンタクトホールが配線に対してずれた場合であっても、コンタクトを維持でき、コンタクト不良を低減することができる。

【0163】

また、配線表面の酸化を防止することができ、配線抵抗の上昇を低減することができる。

【0164】

さらに、前記キャップ導電性膜形成前に、基板表面をフッ化水素(HF)を含む溶液で洗浄する、もしくは、基板表面を水素処理する等の前処理を行えば、信頼性の高いキャップ導電性膜を形成することができる。また、前記キャップ導電性膜形成後に、基板表面をフッ化水素(HF)もしくは過酸化水素(H₂O₂)を含む溶液で洗浄すれば、信頼性の高いキャップ導電性膜を形成することができる。

【0165】

また、本発明の半導体集積回路装置によれば、配線上にキャップ導電性膜を形成したので、半導体集積回路装置の高速化を図ることができる。

【0166】

また、エレクトロマイグレーションやストレスマイグレーションの発生を抑え

、配線寿命を長くすることができる。

【0167】

さらに、配線上に形成されるコンタクトホール底部エッティングの際に、下地である配線が直接スパッタされることを防止でき、絶縁耐圧の向上や、リーク電流の低減を図ることができる。

【0168】

また、このコンタクトホールが配線に対してずれた場合であっても、コンタクトを維持でき、コンタクト不良を低減することができる。

【0169】

また、配線表面の酸化を防止することができ、配線抵抗の上昇を低減することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図2】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図3】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図4】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図5】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図6】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

る。

【図7】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図8】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図9】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図10】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図11】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図12】

本発明の実施の形態1である半導体集積回路装置の製造工程を示す断面図である。

【図13】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図14】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図15】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図16】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図17】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図18】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図19】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図20】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図21】

本発明の実施の形態2である半導体集積回路装置の製造工程を示す断面図である。

【図22】

本発明の効果を説明するための図である。

【図23】

本発明の効果を説明するための図である。

【図24】

本発明の効果を説明するための図である。

【図25】

本発明の実施の形態3である半導体集積回路装置の製造工程を示す断面図である。

【図26】

本発明の実施の形態4である半導体集積回路装置の製造工程を示す断面図である。

【図27】

本発明の実施の形態5および実施の形態7に関する効果を説明するための図である。

【図28】

本発明の実施の形態5および実施の形態6に関する効果を説明するための図である。

【図29】

本発明の効果を説明するための図である。

【図30】

本発明のその他の実施の形態である半導体集積回路装置の製造工程を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p ウエル
- 4 n ウエル
- 5 ゲート酸化膜
- 6 多結晶シリコン膜
- 7 ゲート電極
- 8 n型半導体領域
- 9 p型半導体領域
- 10 サイドウォール
- 11 n⁺型半導体領域
- 12 p⁺型半導体領域
- 13 絶縁膜
- 14 引き出し電極
- 16 シリサイド層
- 18 層間絶縁膜
- 20 コンタクトホール

- 21 プラグ
22 窒化シリコン膜
23 酸化シリコン膜
25 配線溝
26 配線
26 a バリア層
26 b 銅膜
26 c タングステン膜
28 窒化シリコン膜
29 酸化シリコン膜
30 コンタクトホール
31 プラグ
31 a 窒化チタン膜
31 b タングステン膜
32 窒化シリコン膜
33 酸化シリコン膜
34 配線溝
35 配線
35 a バリア層
35 b 銅膜
35 c タングステン膜
36 窒化シリコン膜
37 酸化シリコン膜
38 コンタクトホール
39 プラグ
39 a 窒化チタン膜
39 b タングステン膜
40 アルミニウム配線
40 a チタン膜

40b アルミニウム膜

40c 窒化チタン膜

41 酸化シリコン膜

42 SOG膜

42a 酸化シリコン膜

43 配線

44 窒化シリコン膜

45 酸化シリコン膜

47 バンプ下地電極

48 バンプ電極

49、51、53、55 窒化シリコン膜

50、52、54、56 酸化シリコン膜

33a 反射防止膜もしくはレジスト膜

328、336 TEOS膜

329、337 絶縁膜

428、436 窒化シリコン膜

429、437 TEOS膜

M3 第3層配線

M3c タングステン膜

M4 第4層配線

M4c タングステン膜

P3 プラグ

P4 プラグ

Qn nチャネル型MISFET

Qp pチャネル型MISFET

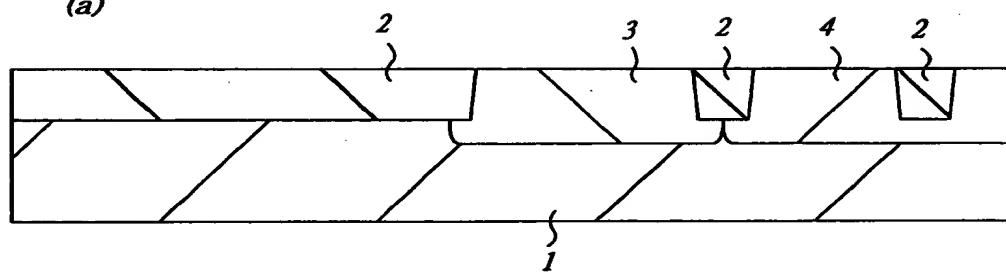
R 導体膜

【書類名】 図面

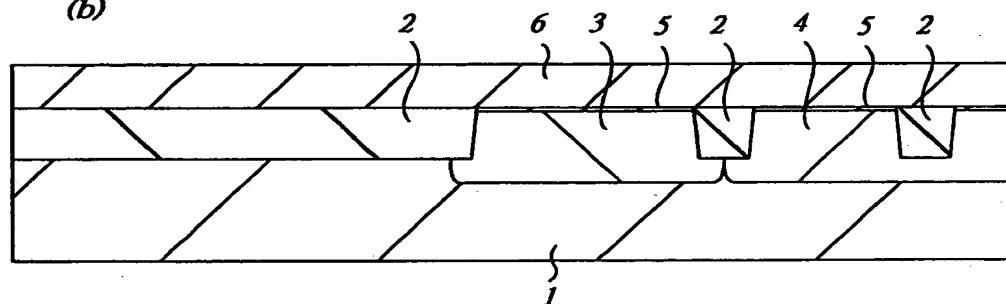
【図1】

図 1

(a)



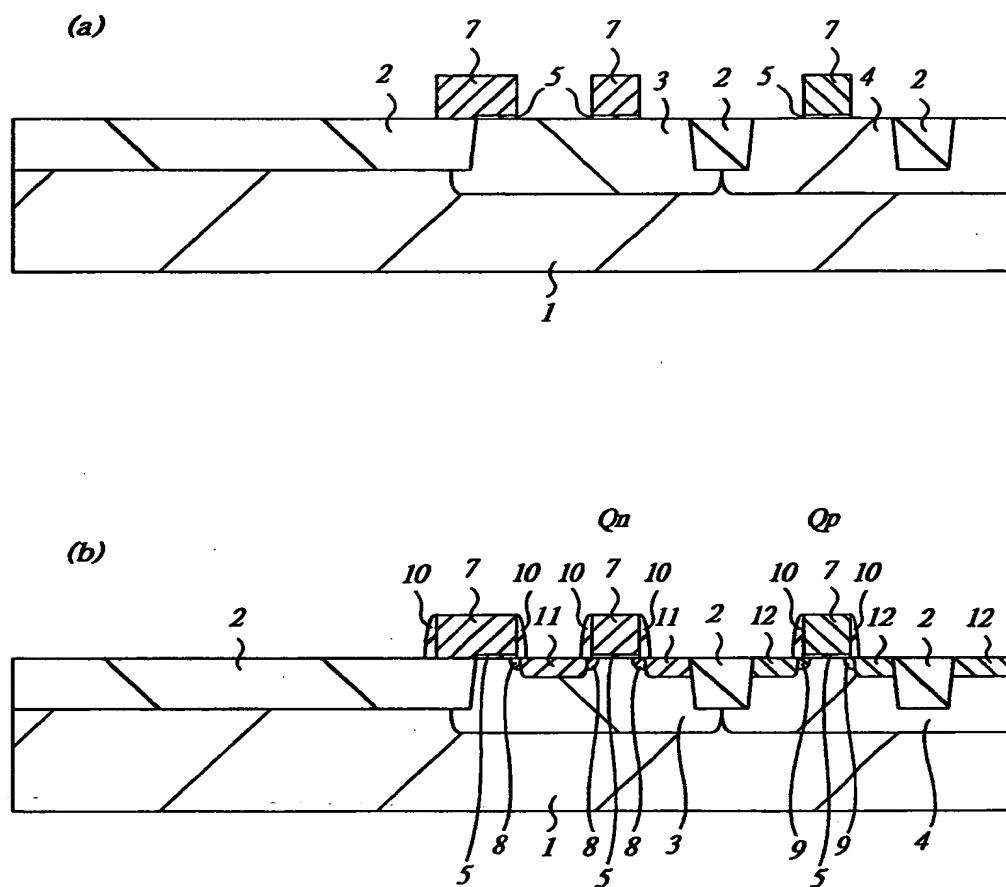
(b)





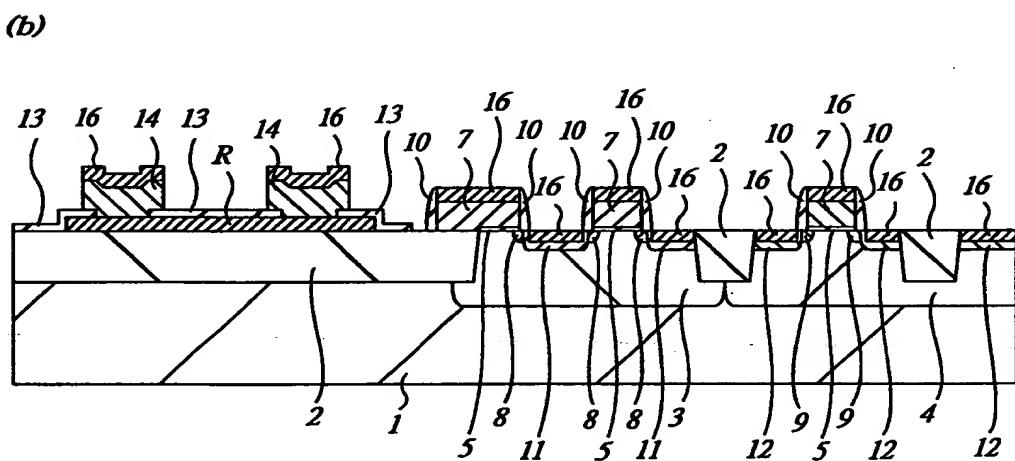
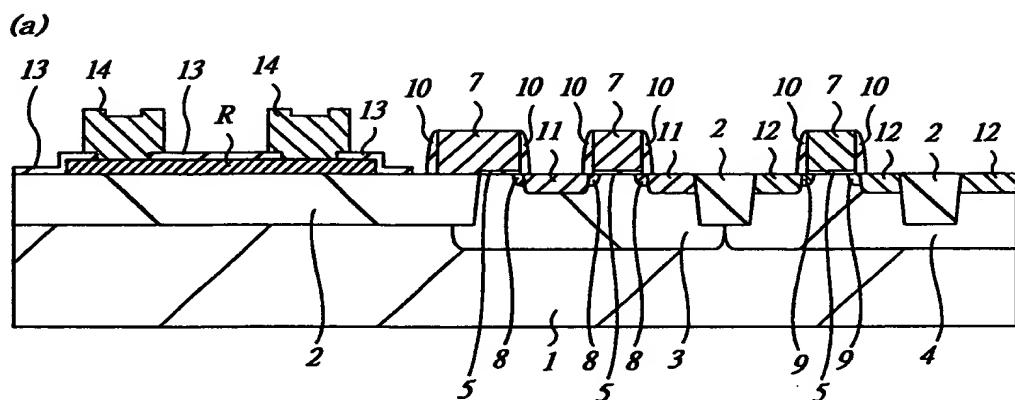
【図2】

図 2



【図3】

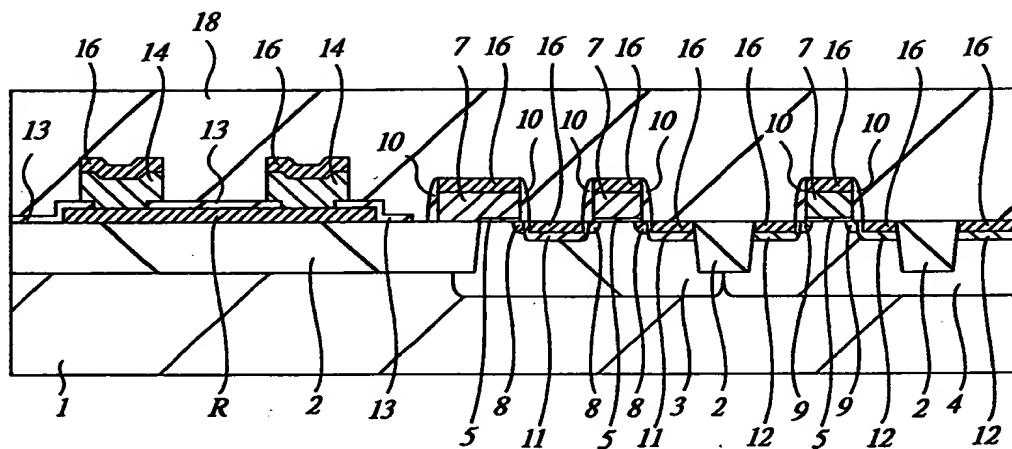
3



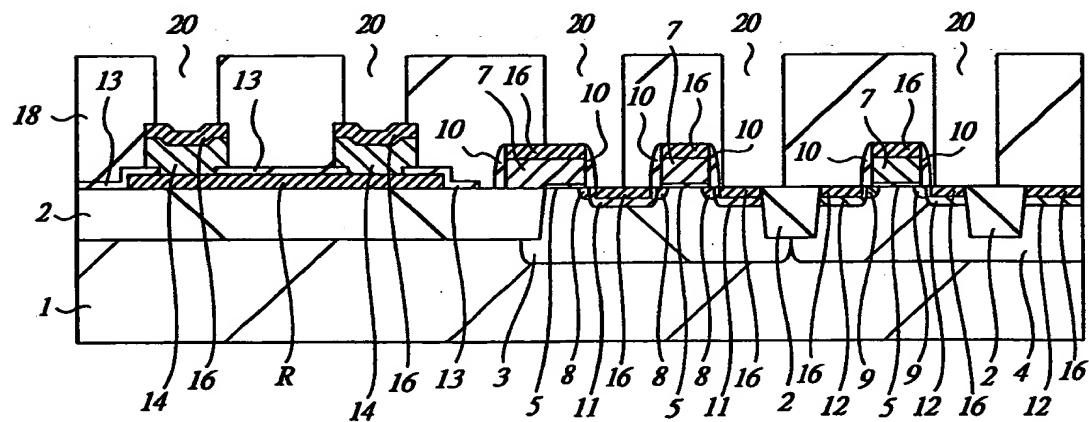
【図4】

図 4

(a)



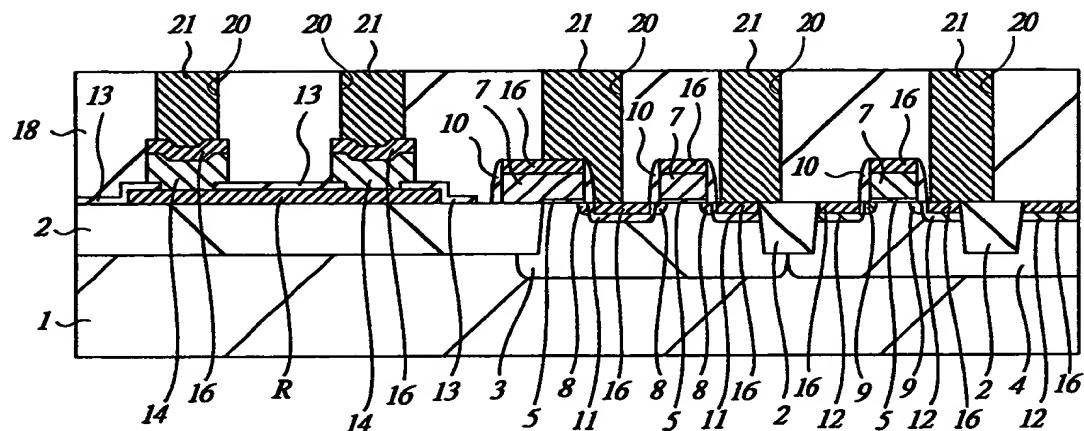
(b)



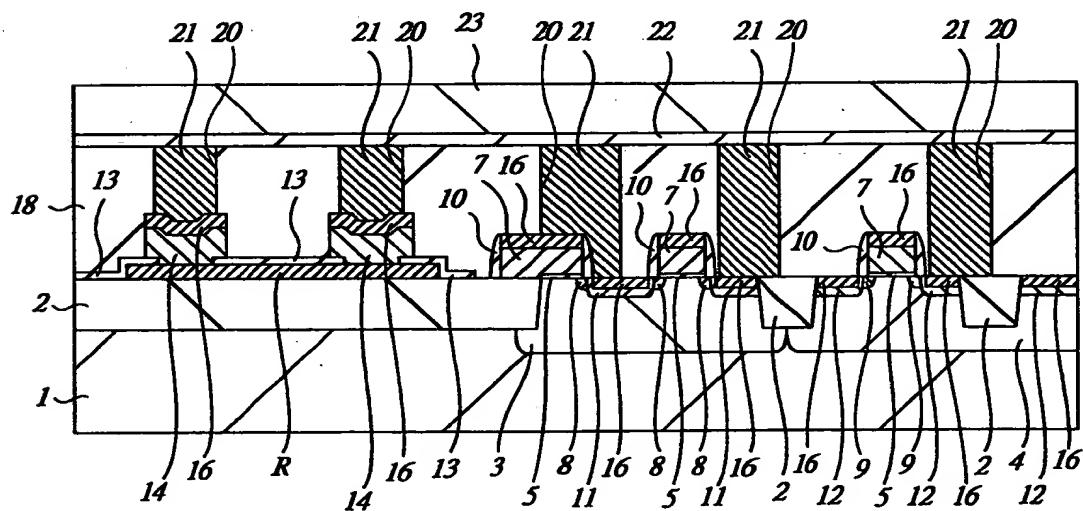
【図5】

5

(a)



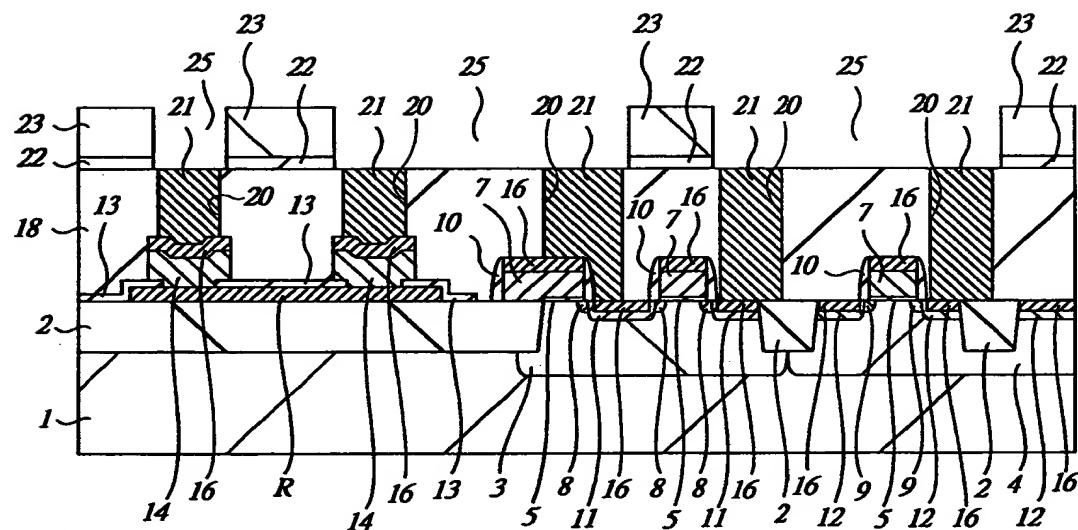
(b)



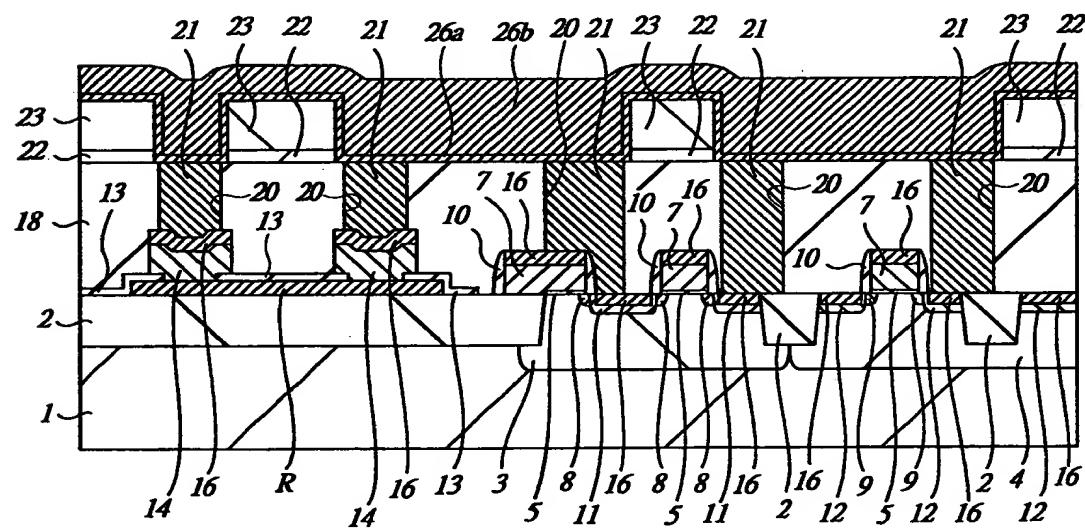
【図6】

(a)

図 6



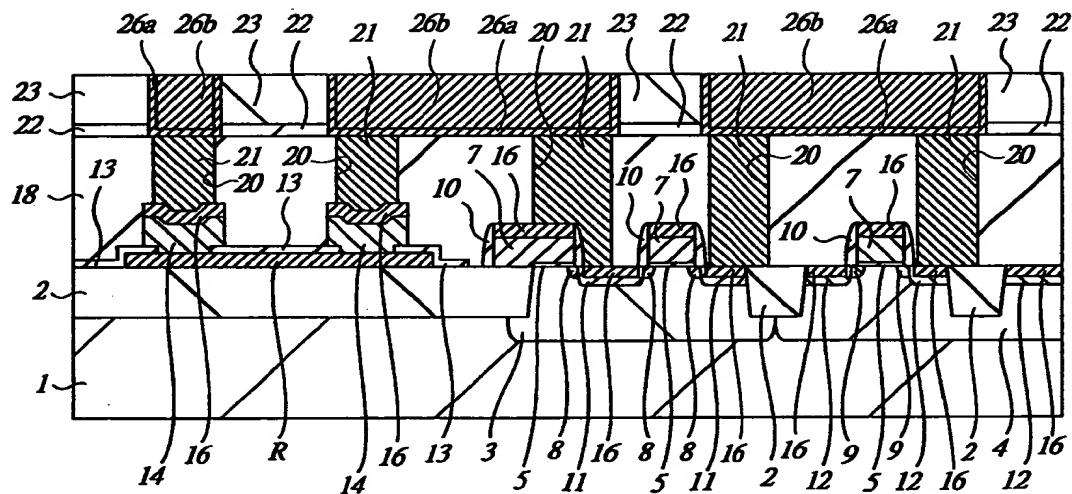
(b)



【図7】

図 7

(a)



(b)

22 ; 窒化シリコン膜

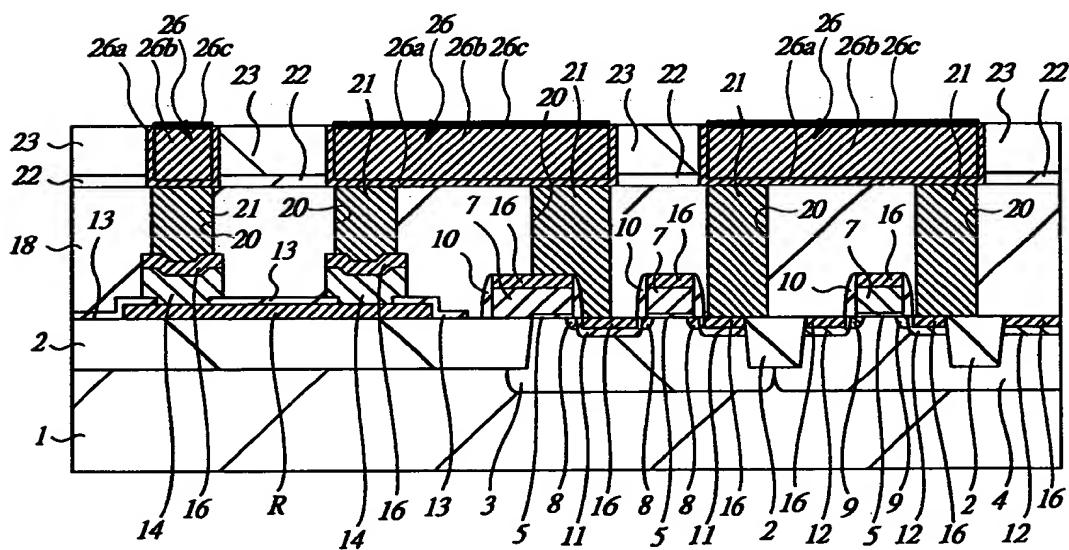
23 ; 酸化シリコン膜

26 ; 配線

26a ; バリア層

26b ; 銅膜

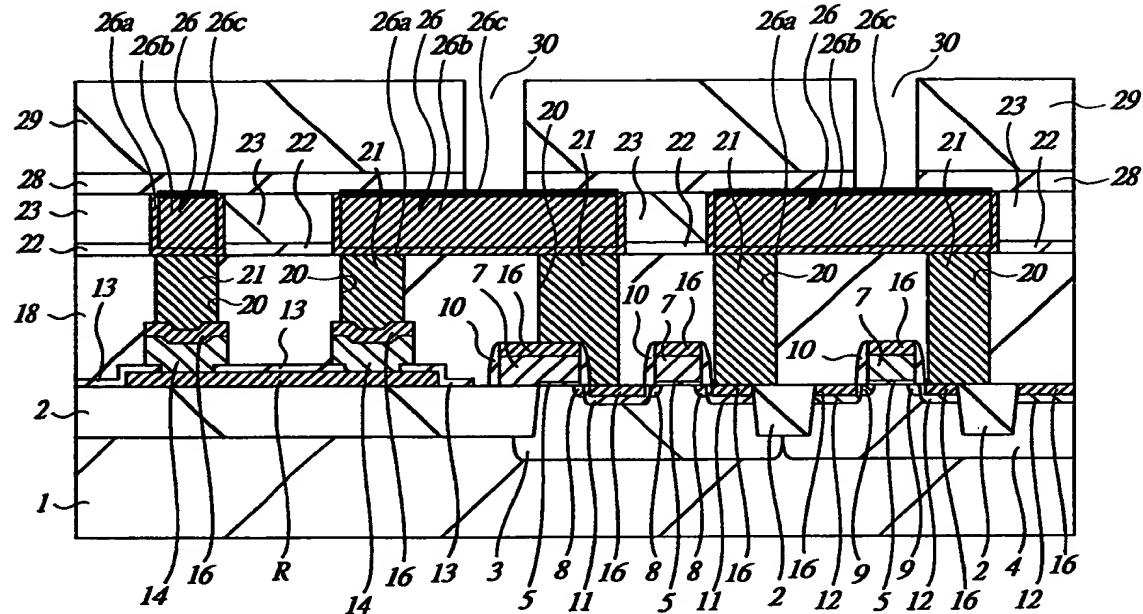
26c ; タングステン膜



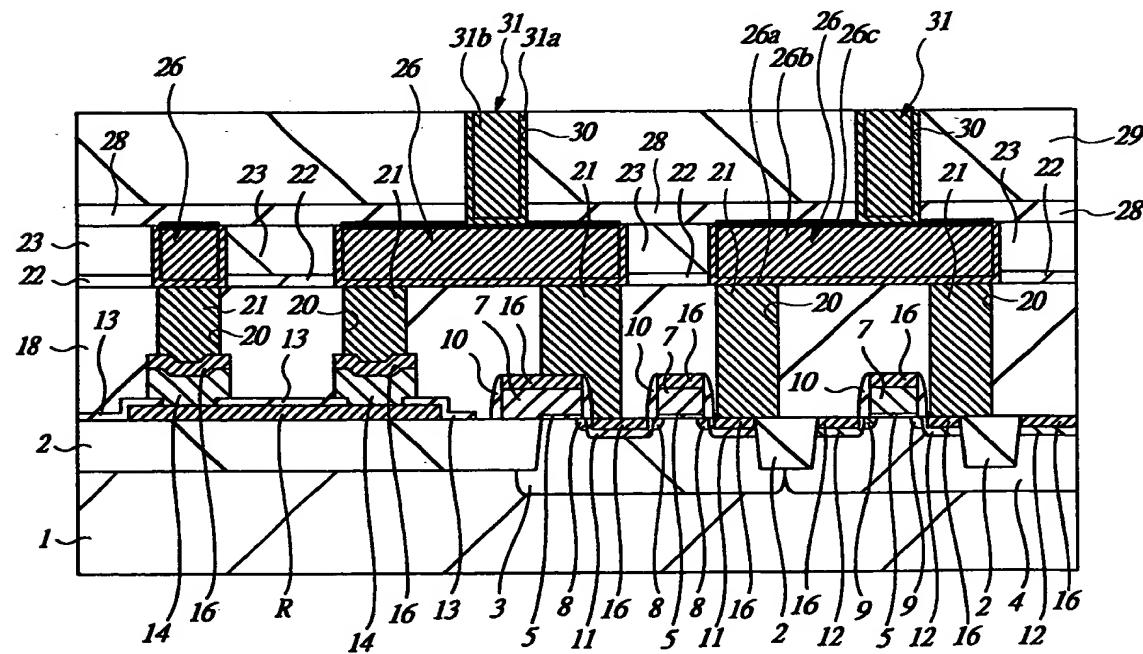
【図8】

図 8

(a)

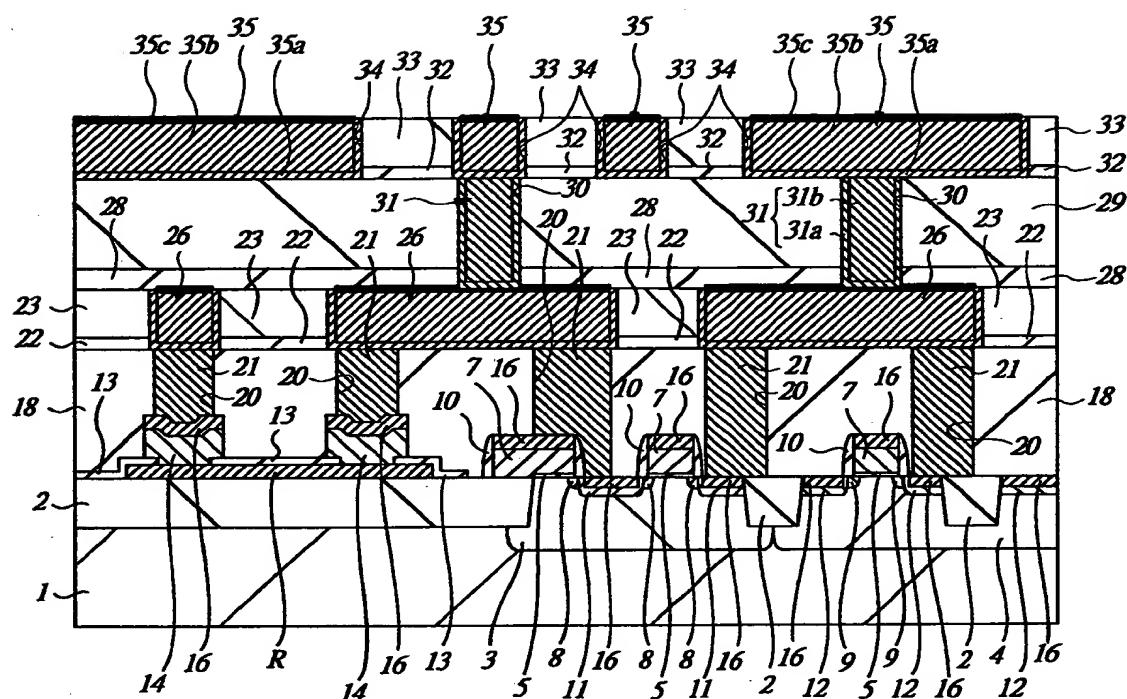


(b)



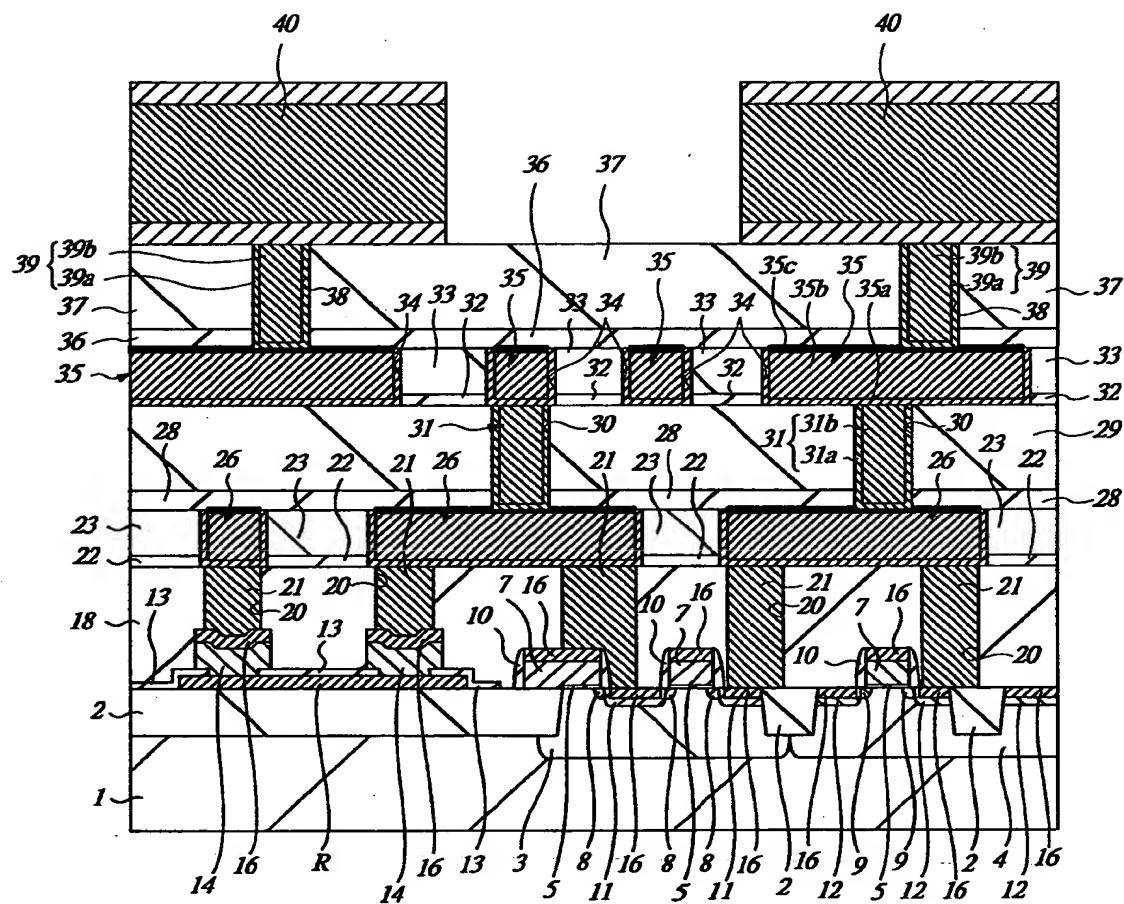
【図9】

図 9



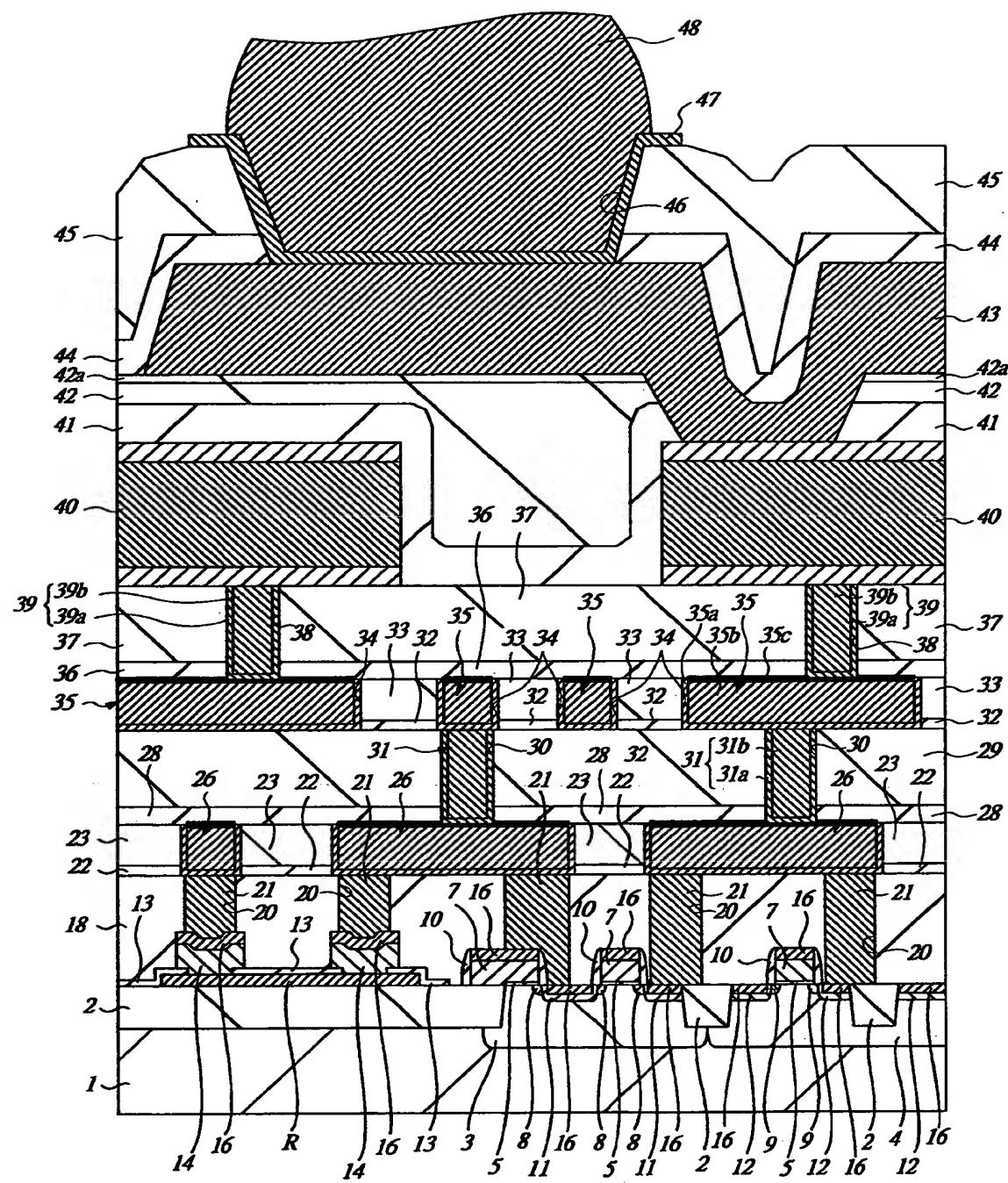
【図10】

☒ 10



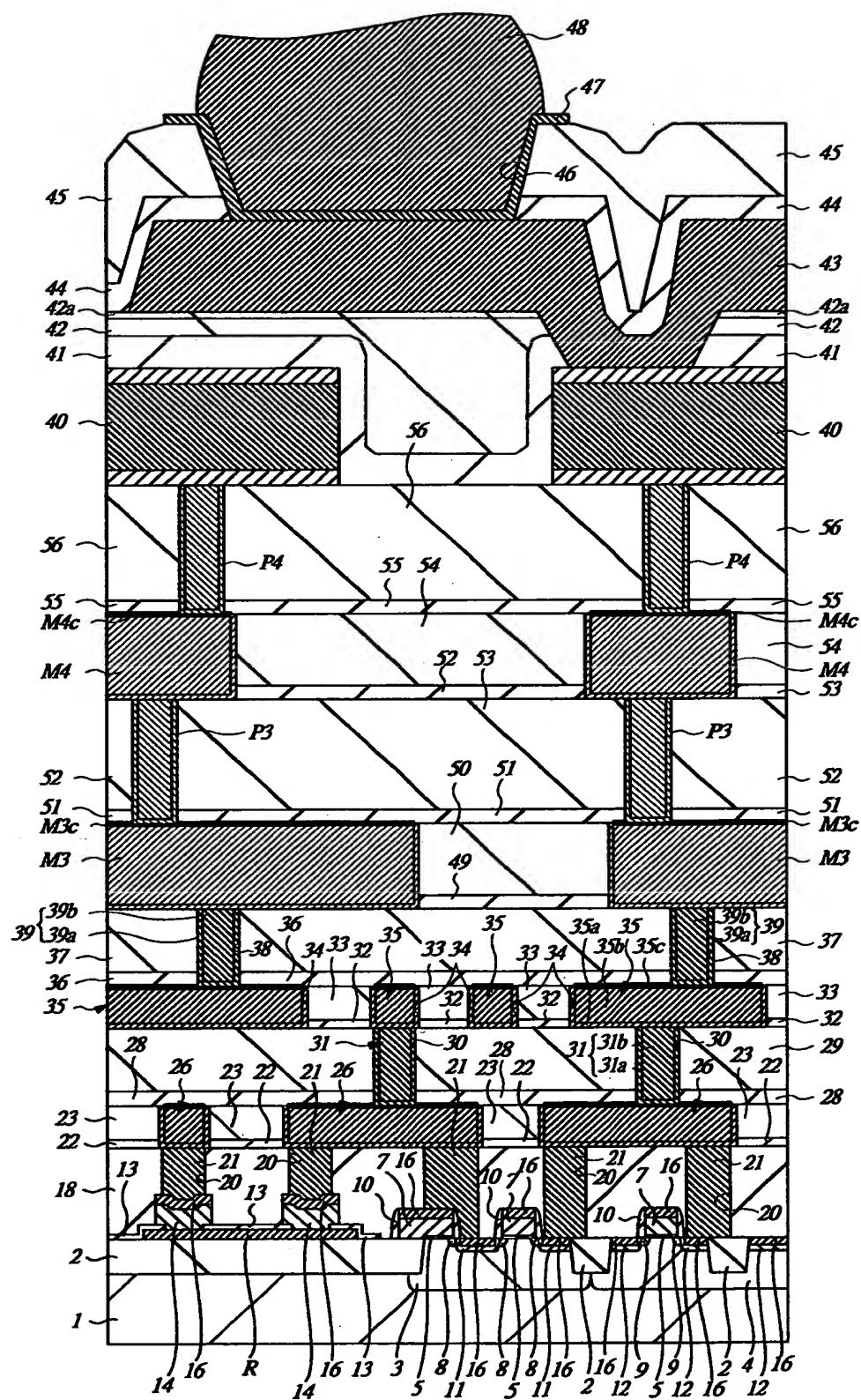
【図11】

11



【図12】

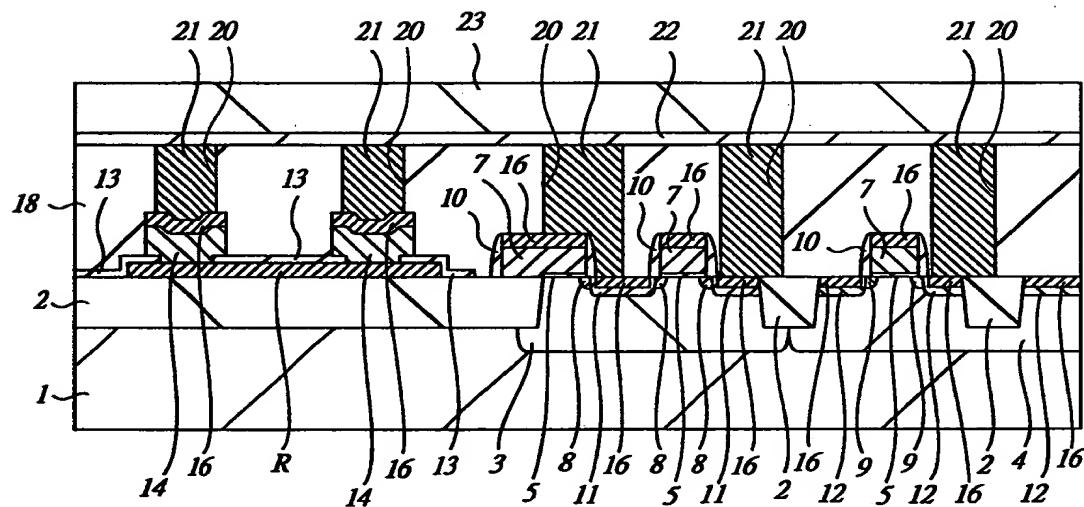
図 12



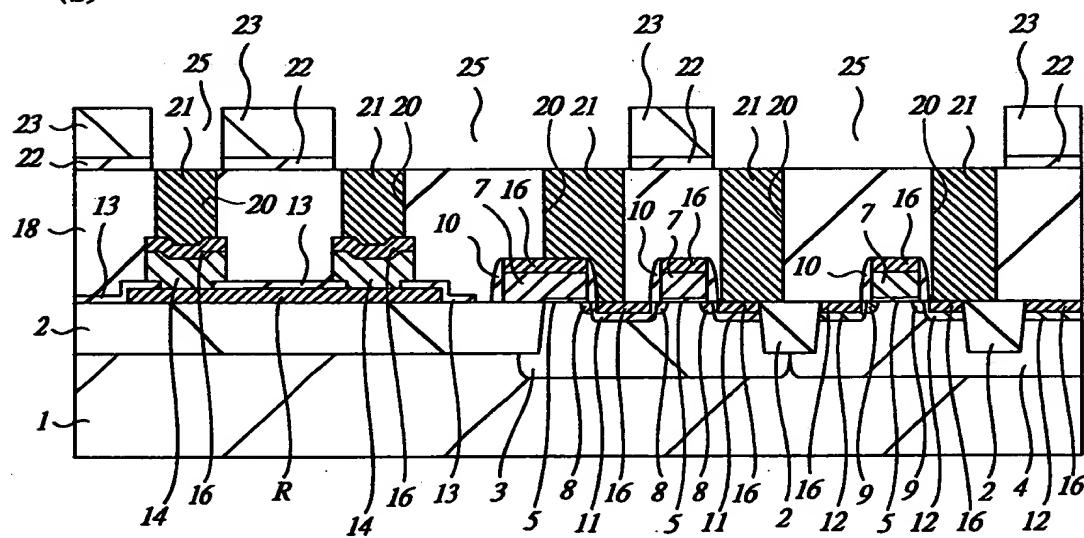
【図13】

図 13

(a)



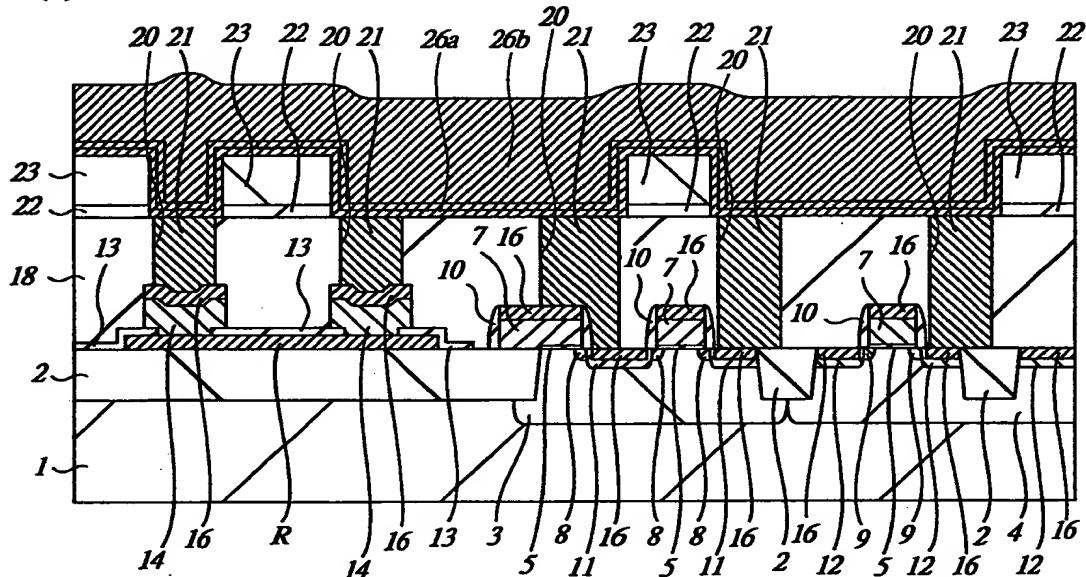
(b)



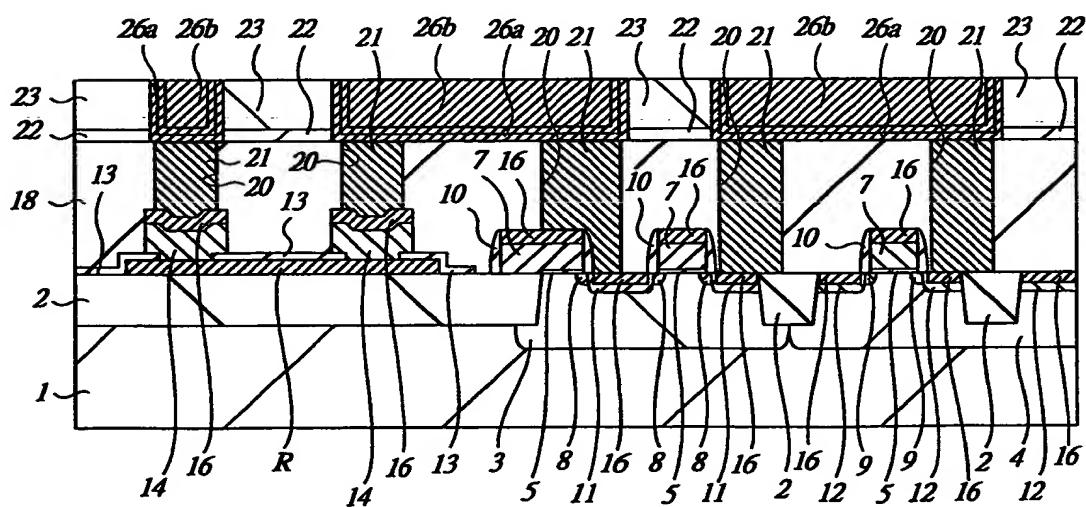
【図14】

図 14

(a)



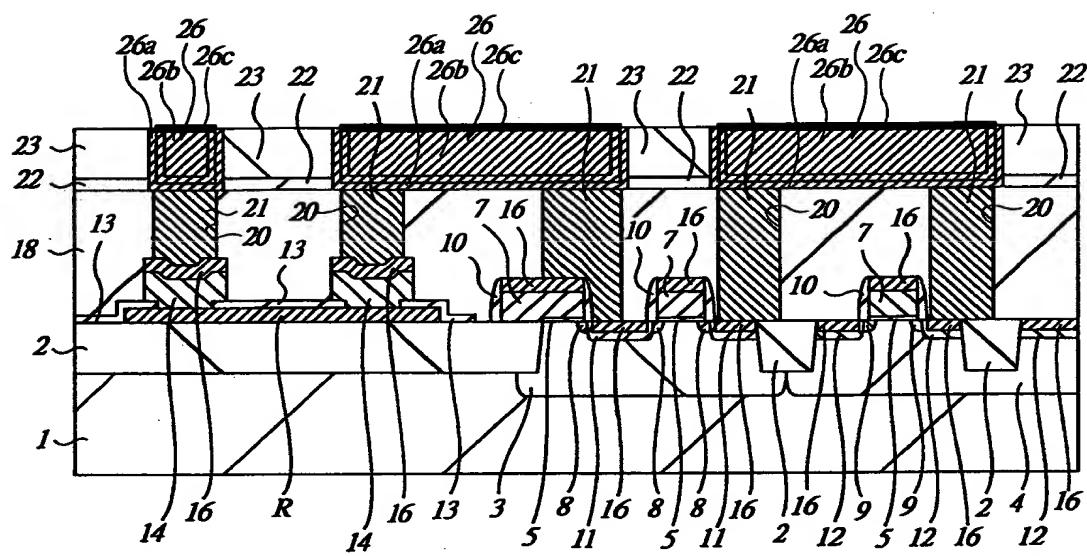
(b)



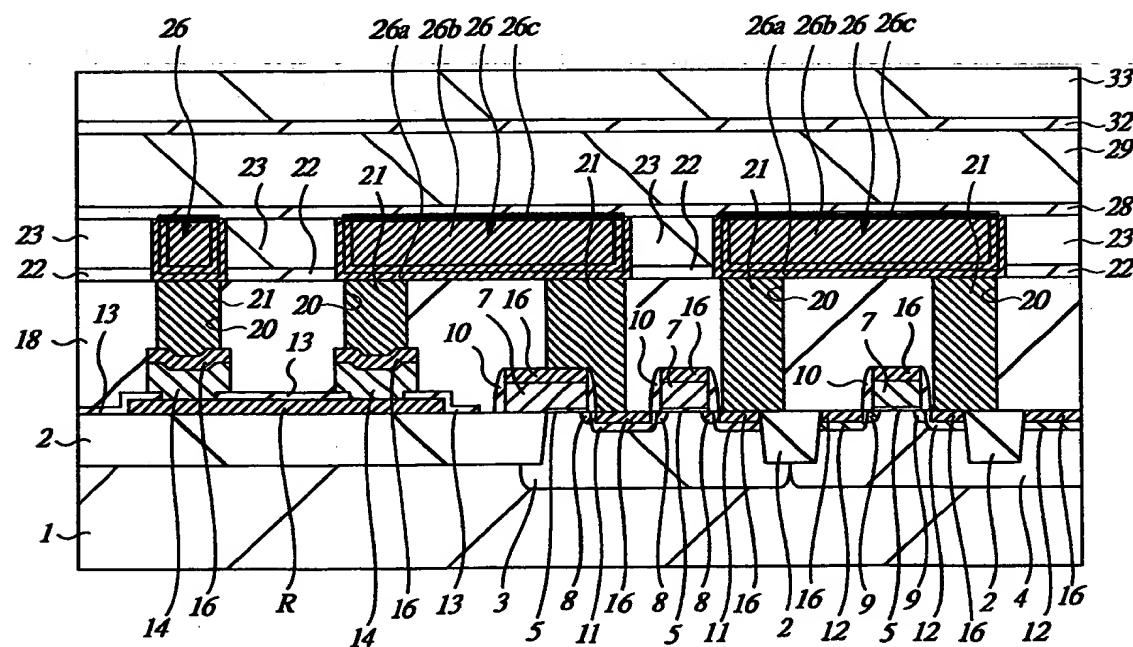
【図15】

図 15

(a)



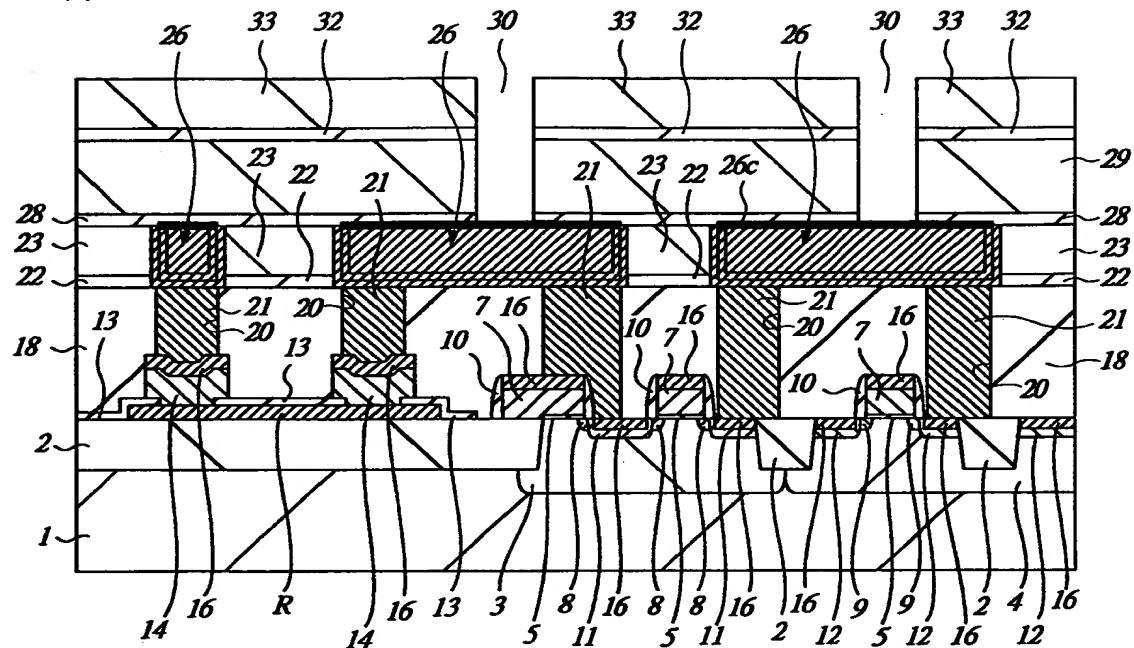
(b)



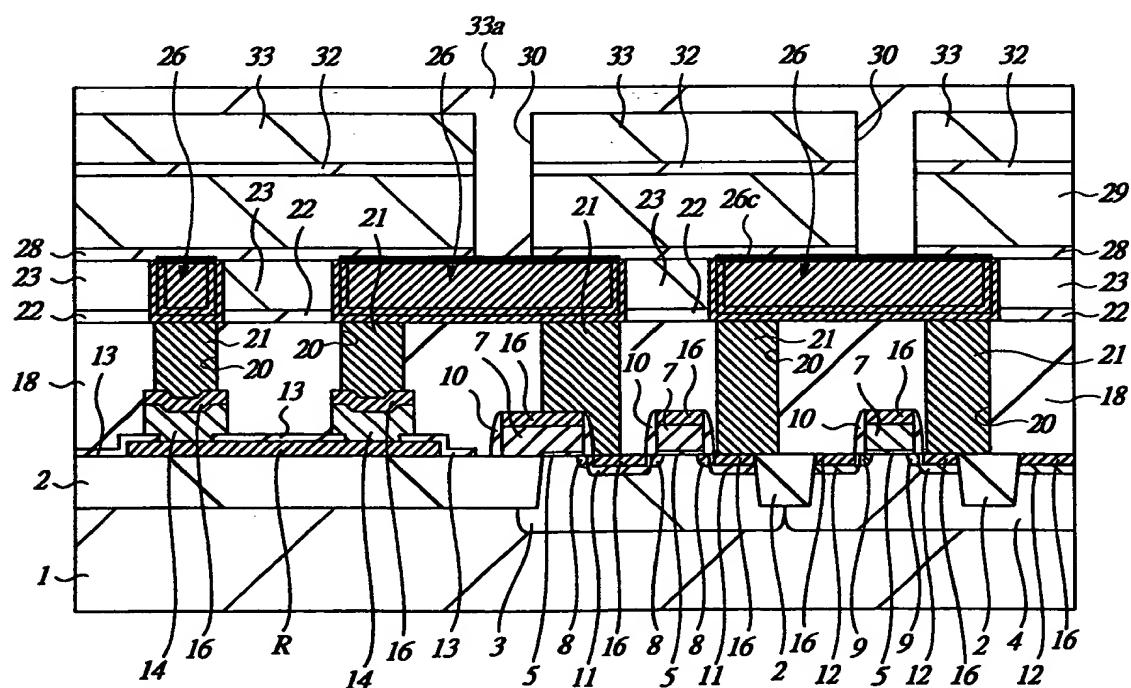
【図16】

☒ 16

(a)



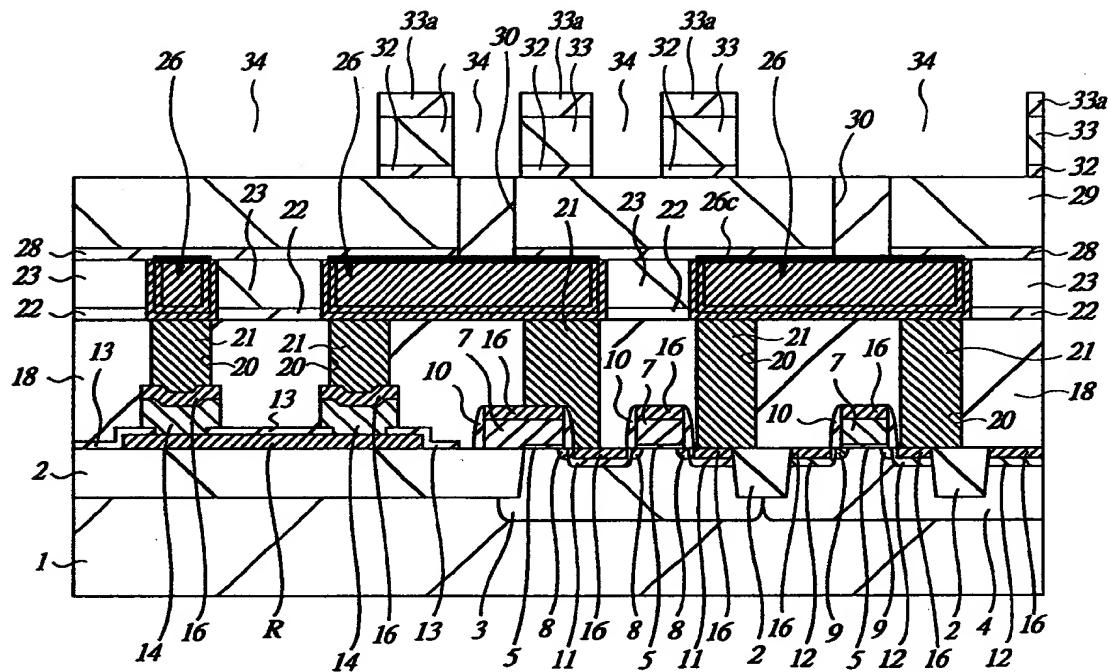
(b)



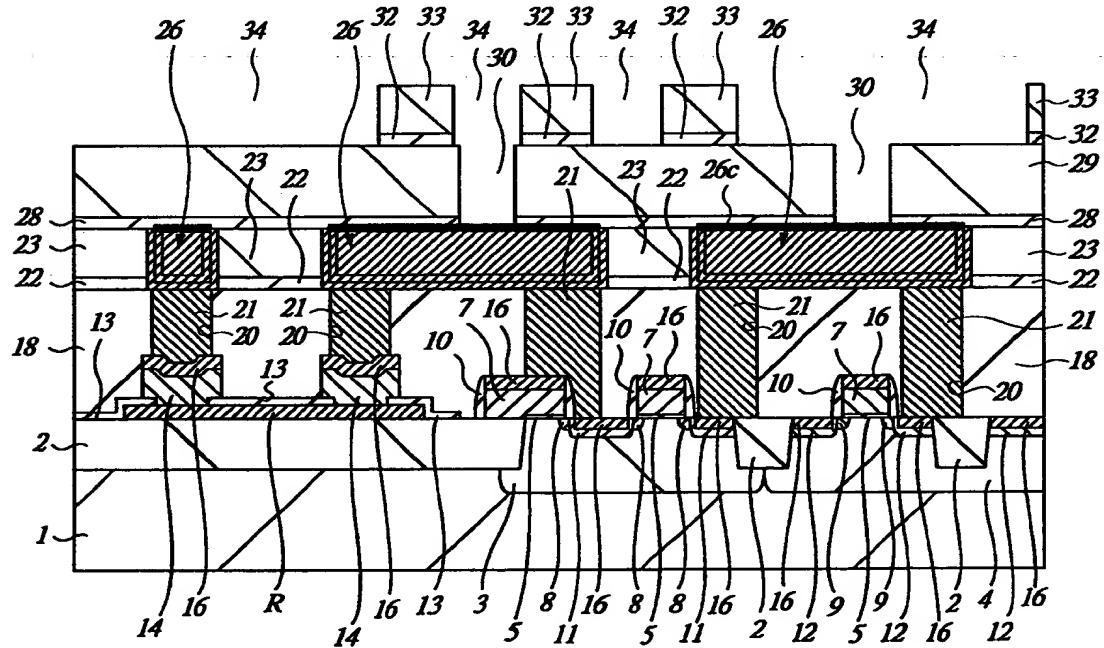
【図17】

図 17

(a)



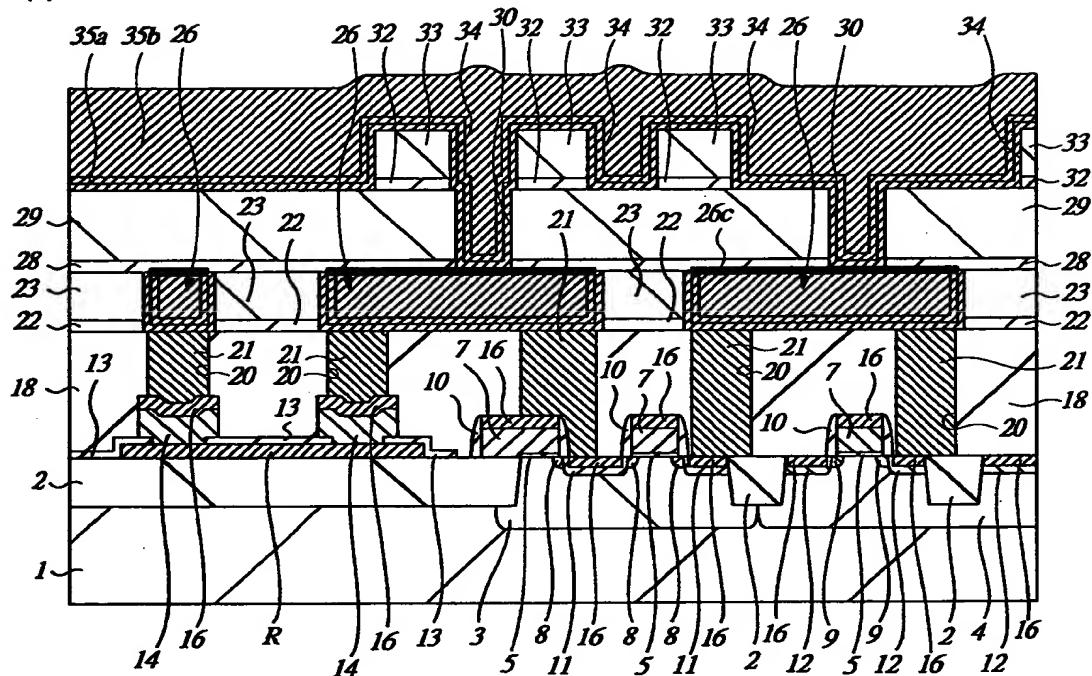
(b)



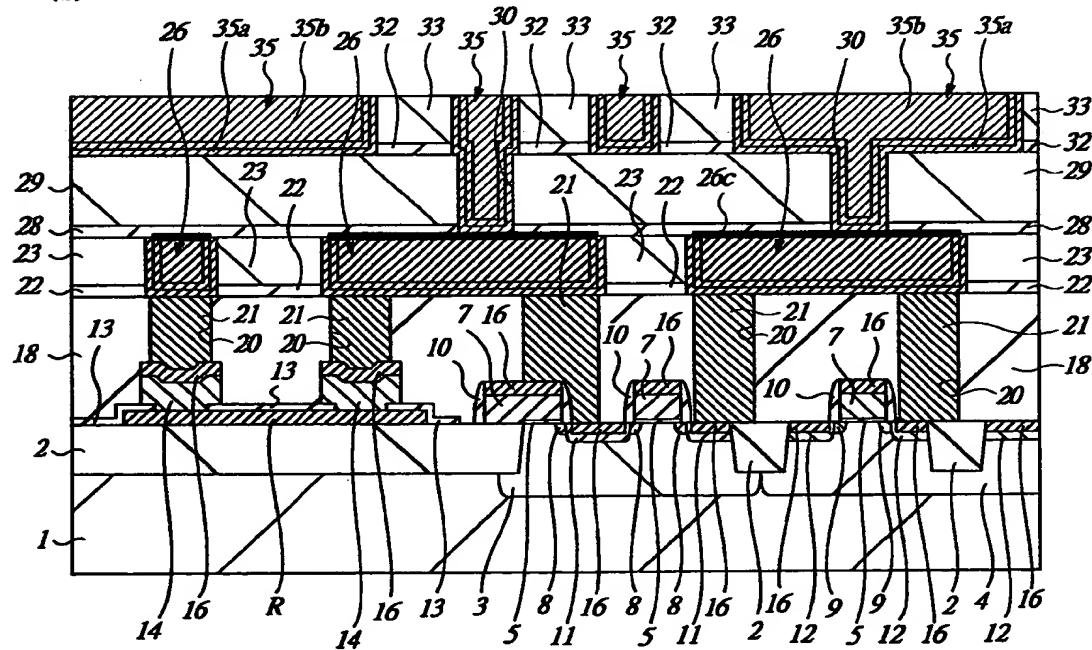
【図18】

図 18

(a)

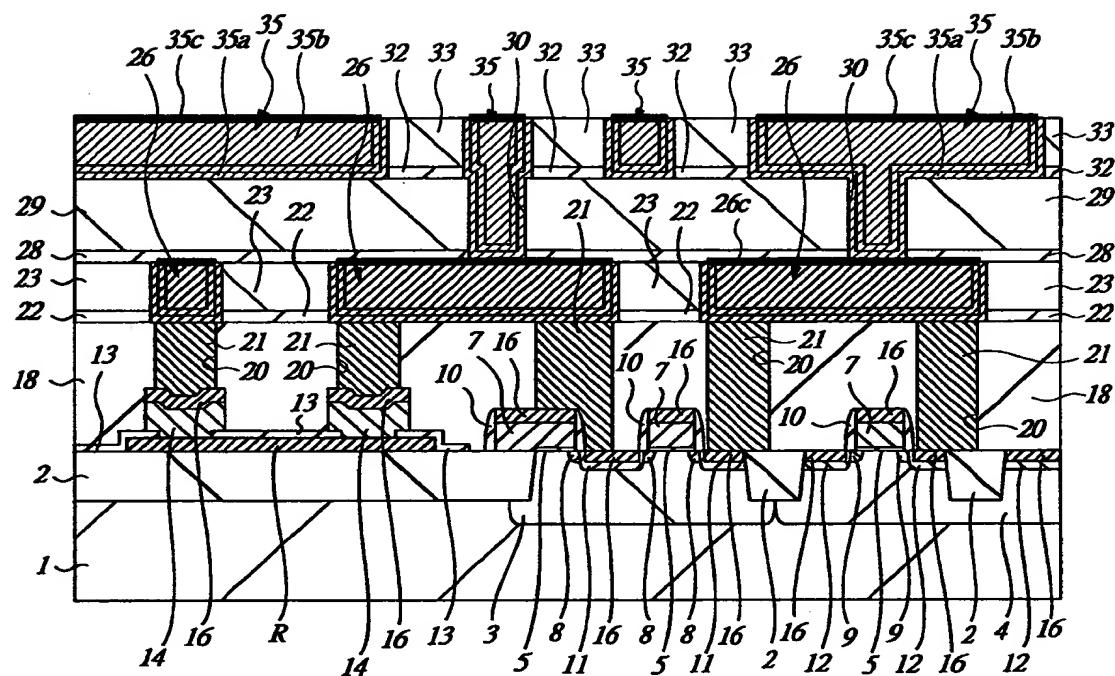


(b)



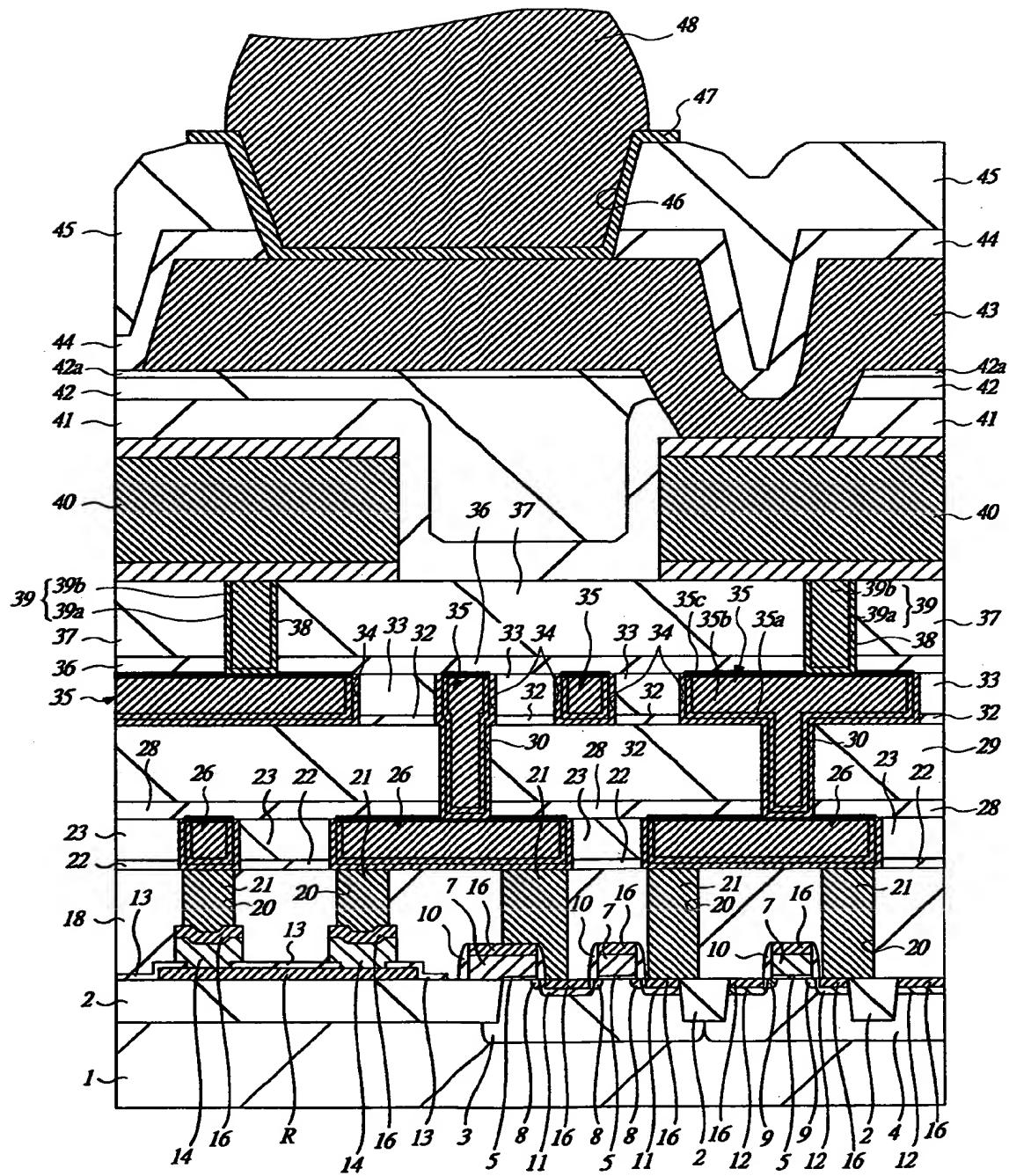
【図19】

图 19



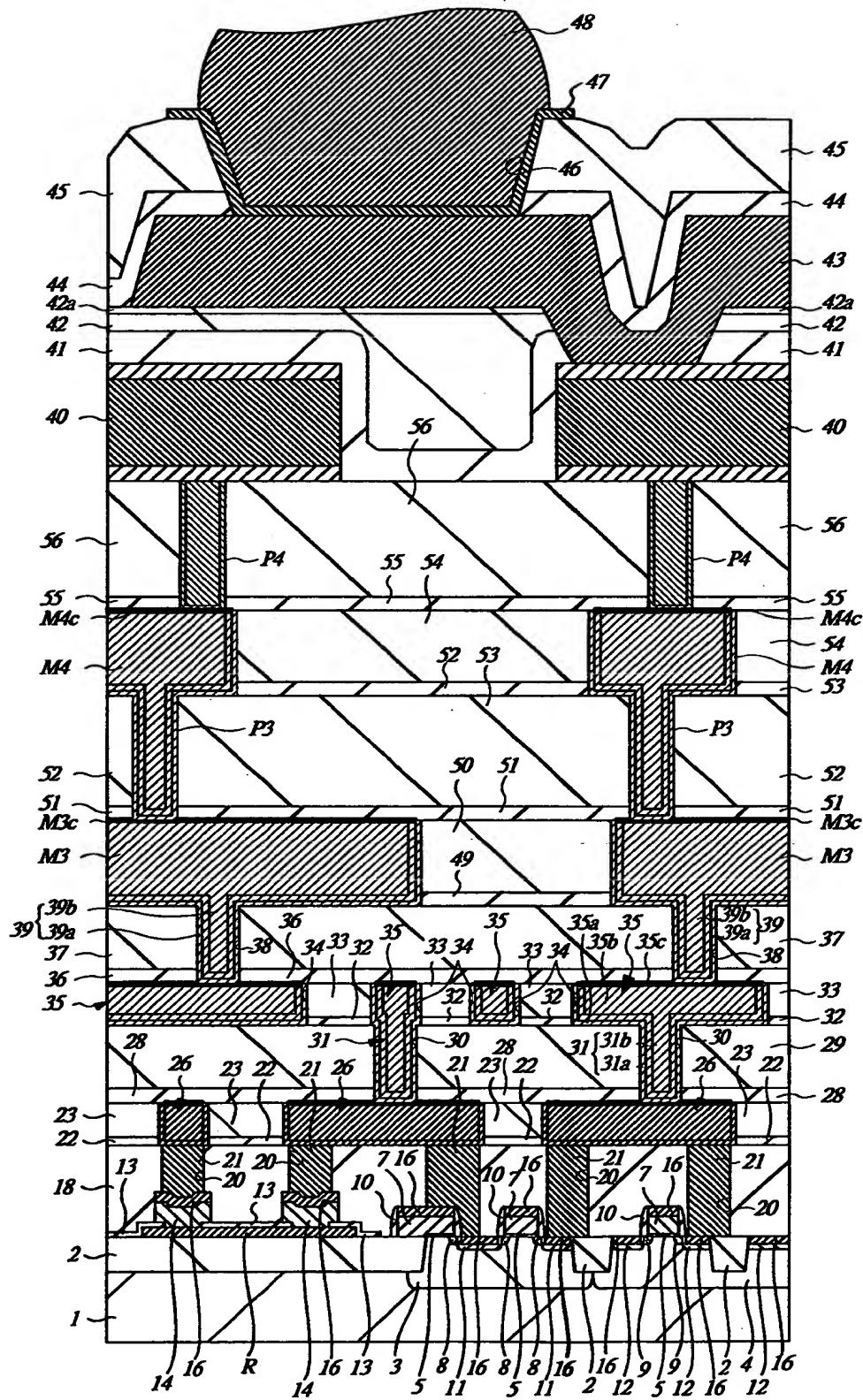
【図20】

図 20



【図21】

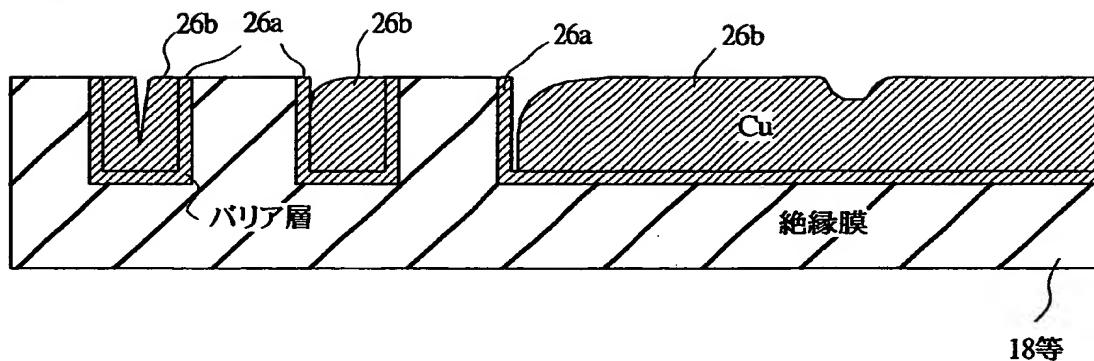
21



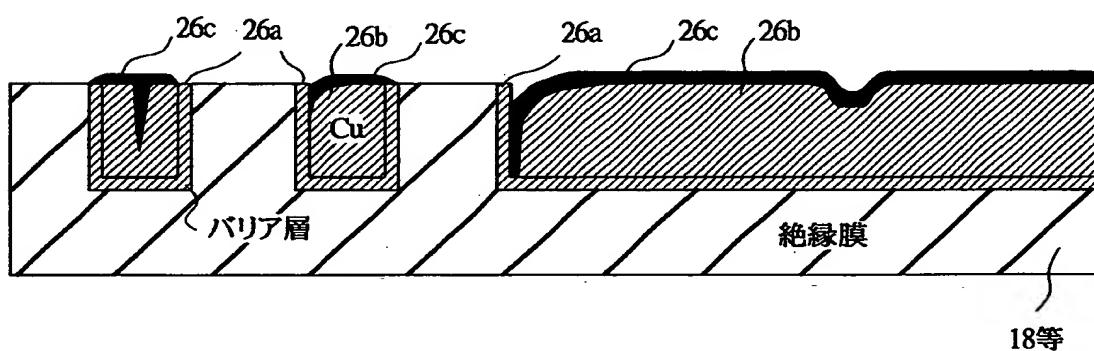
【図22】

図 22

(a)



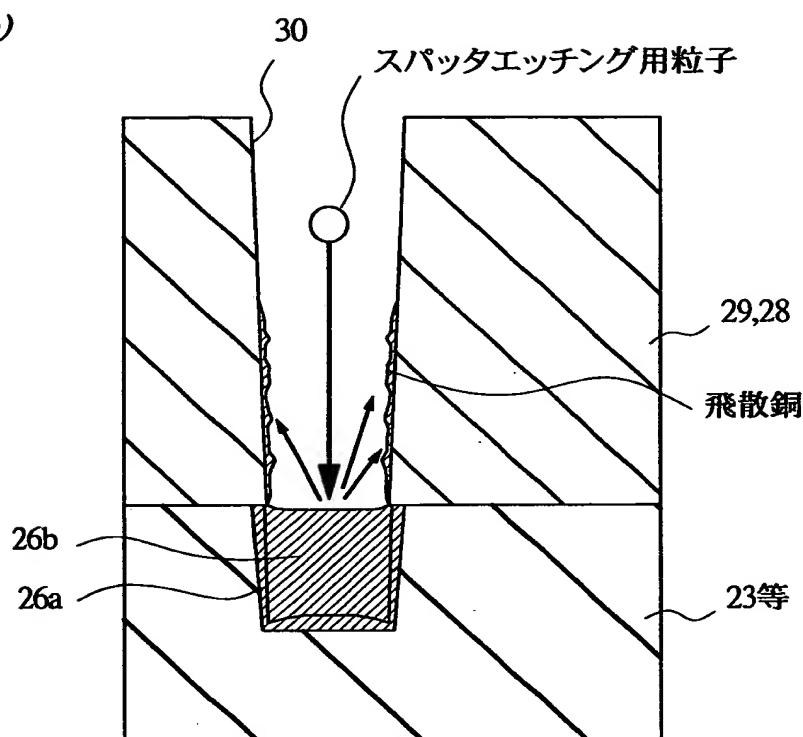
(b)



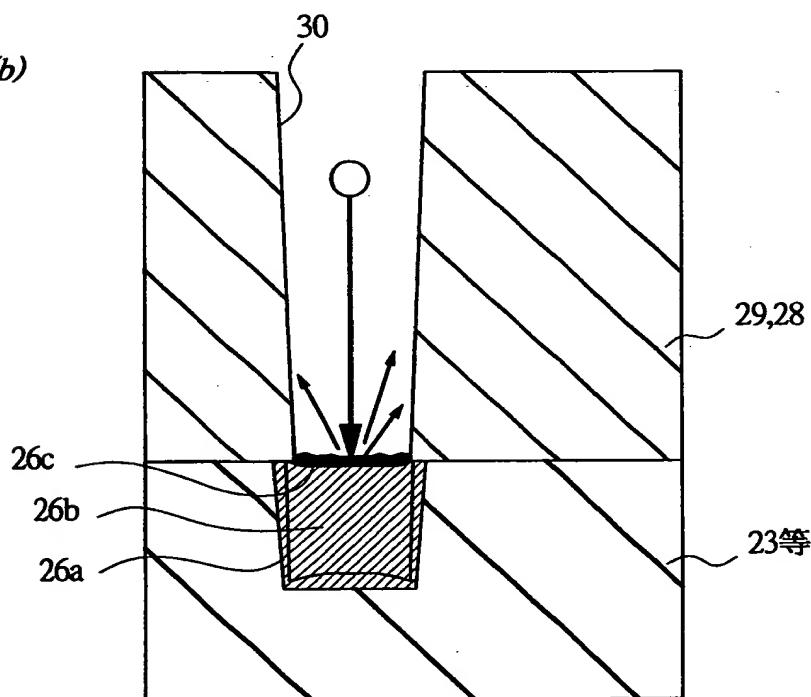
【図23】

図 23

(a)



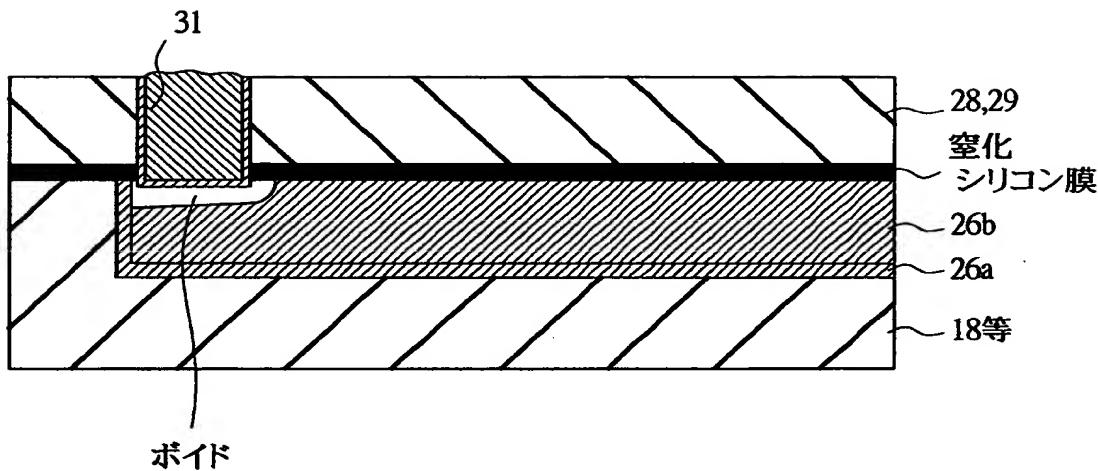
(b)



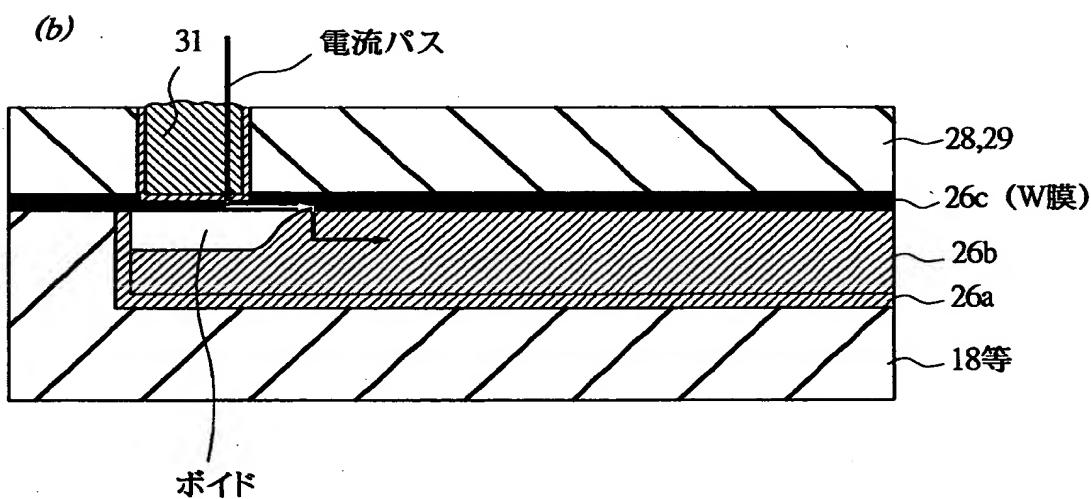
【図24】

図 24

(a)



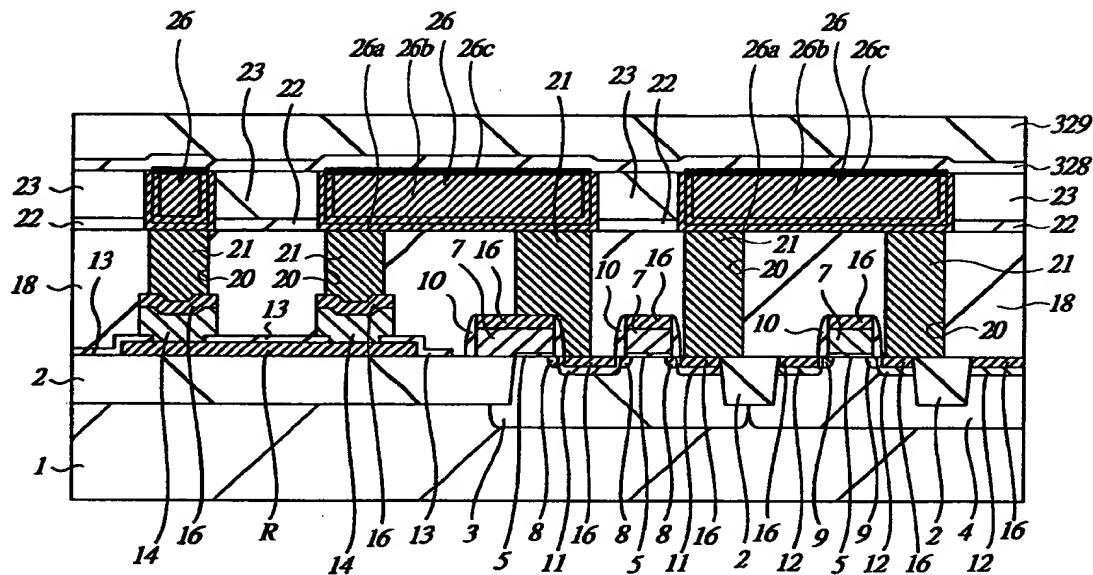
(b)



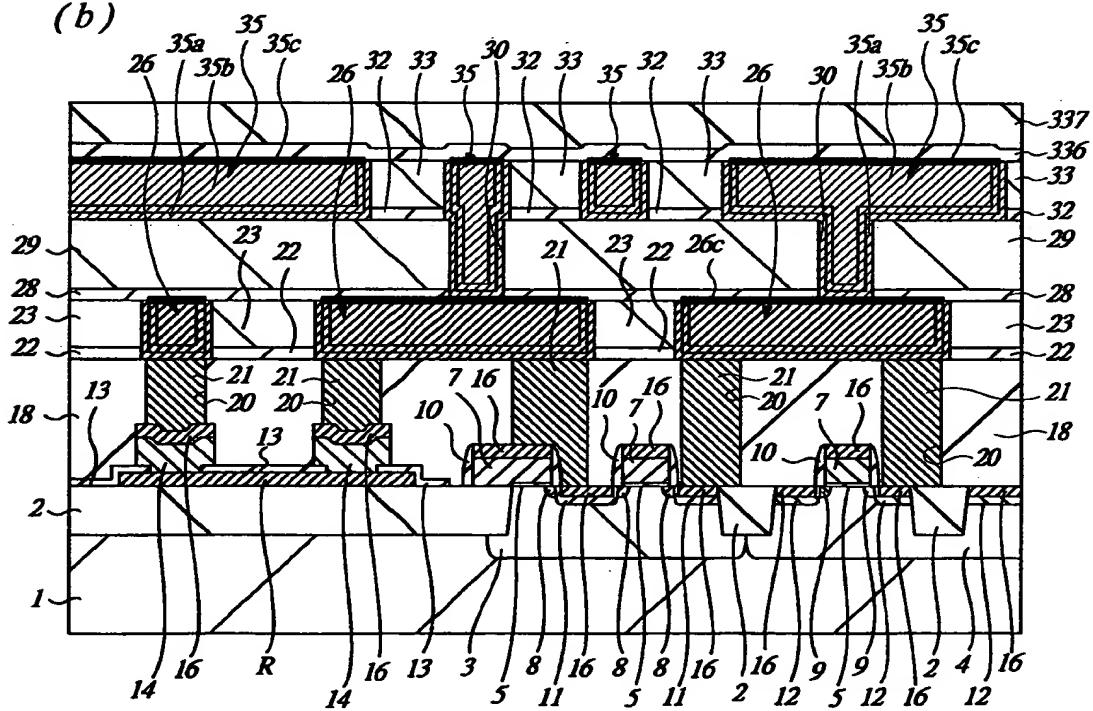
【図25】

図 25

(a)



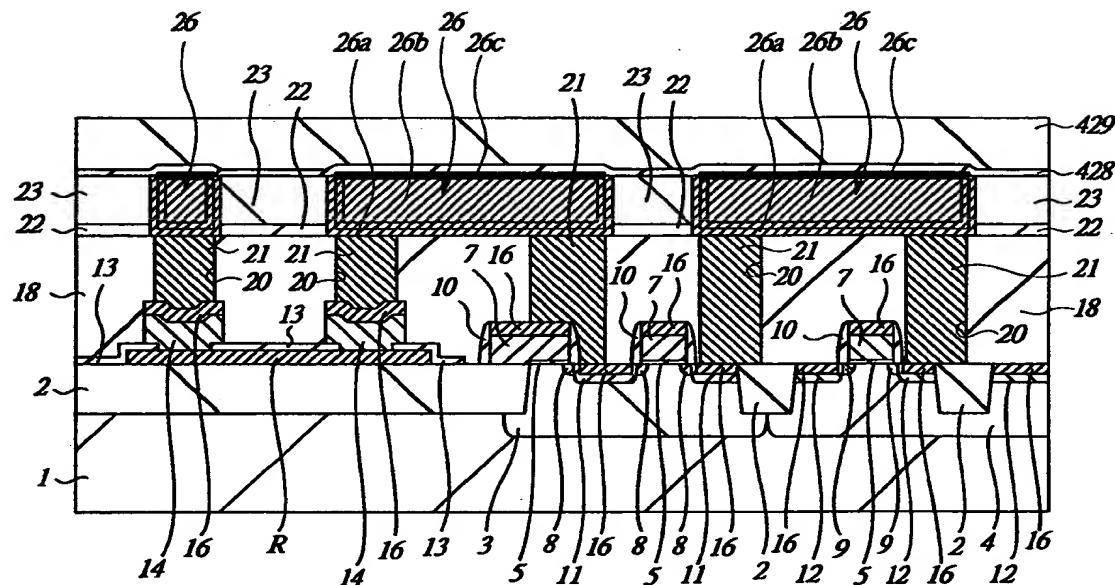
(b)



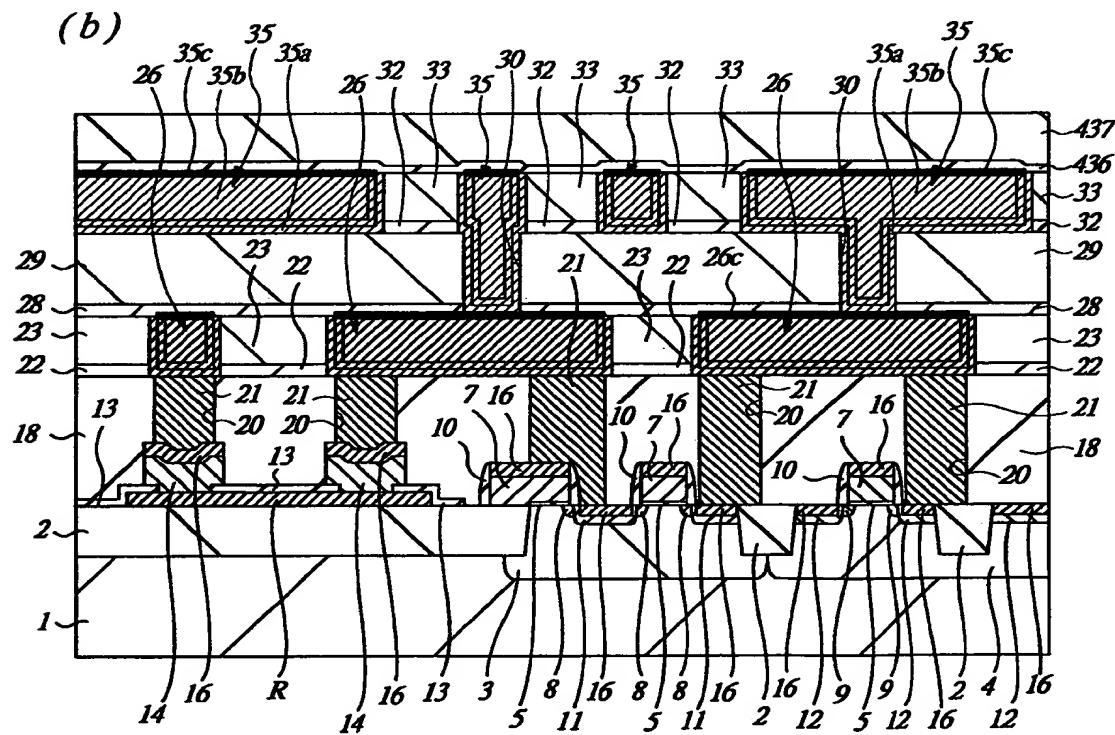
【図26】

26

(a)

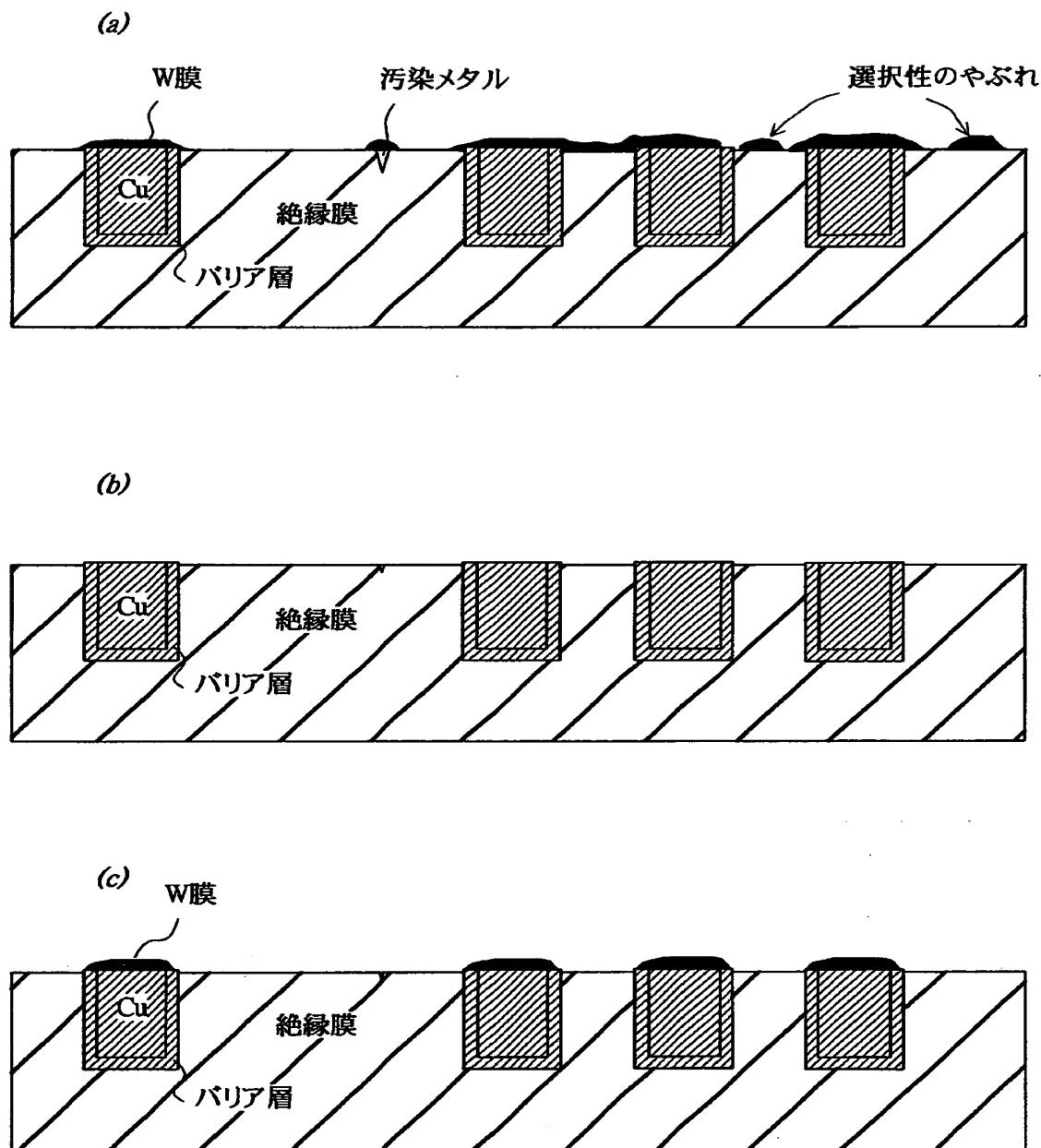


(b)



【図27】

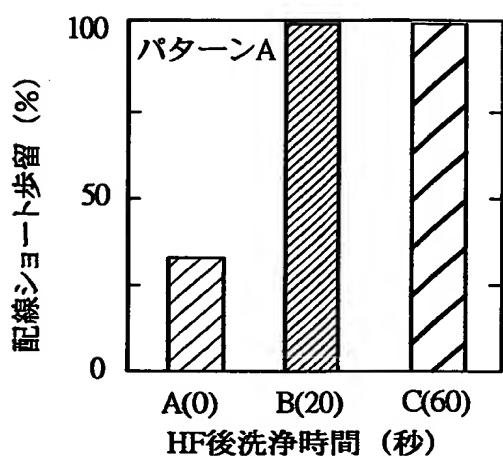
図 27



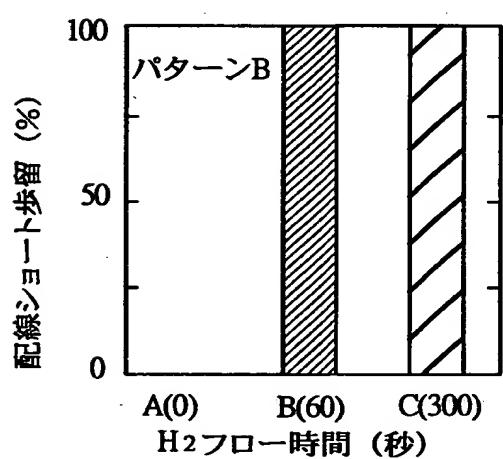
【図28】

図 28

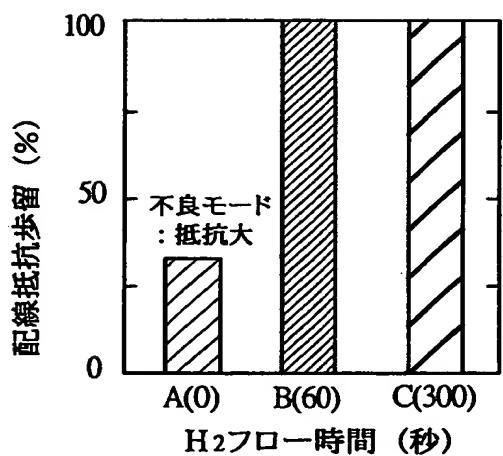
(a)



(b)

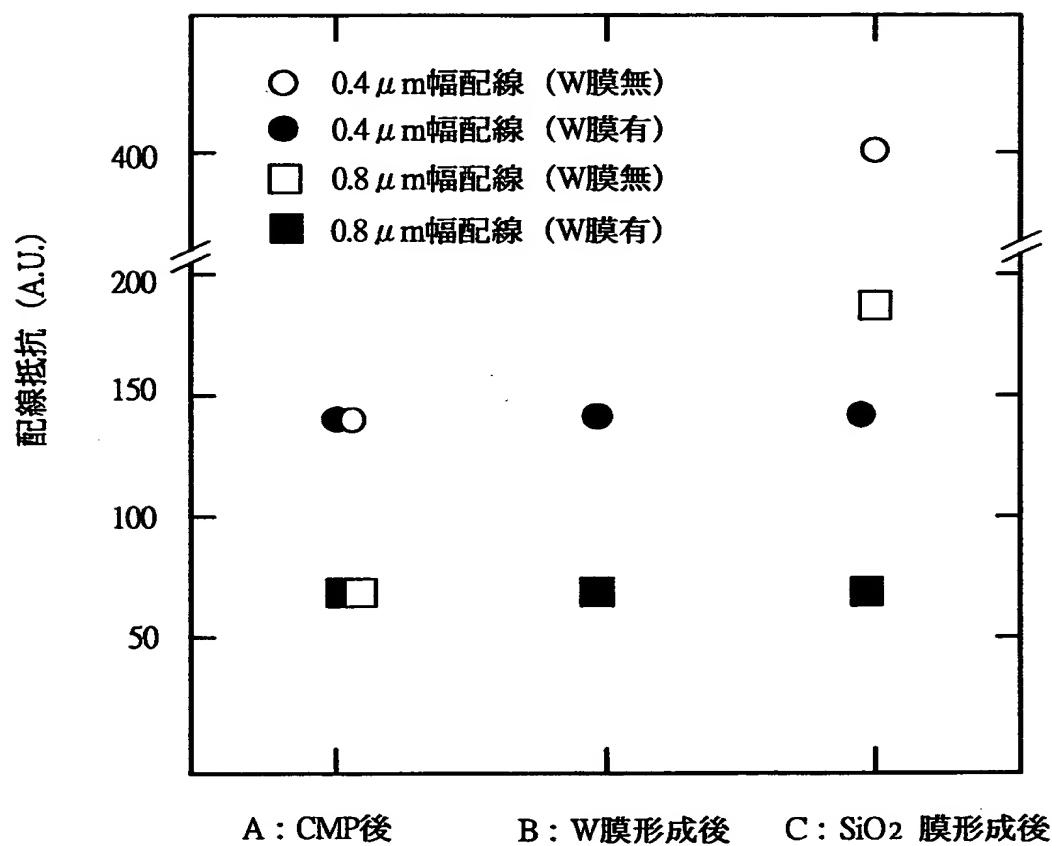


(c)



【図29】

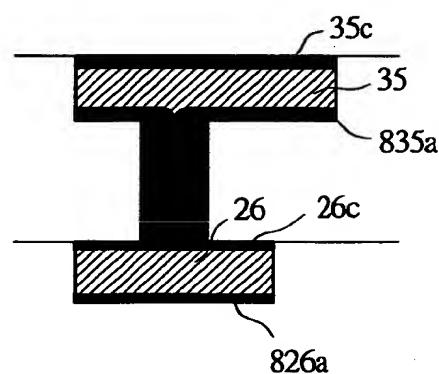
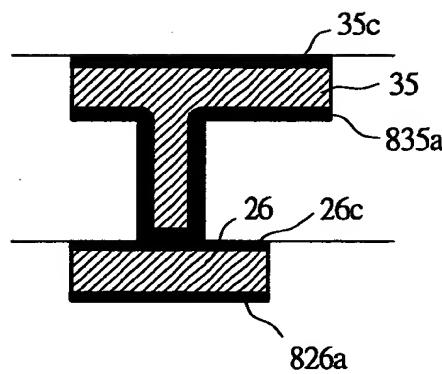
図 29



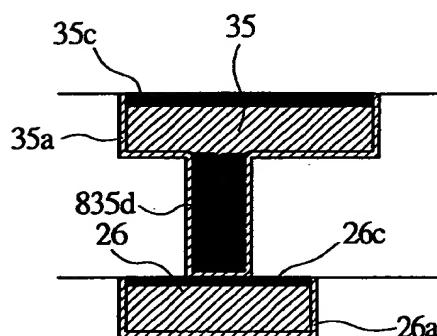
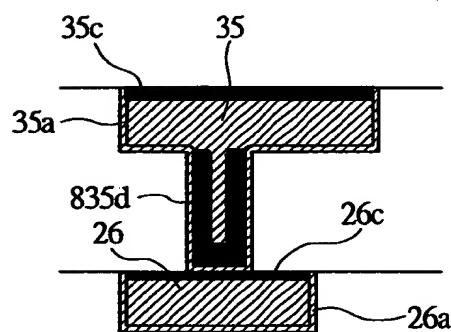
【図30】

図 30

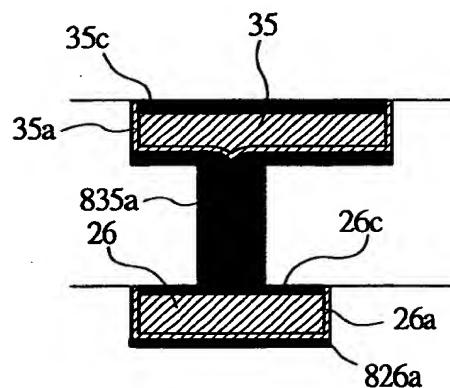
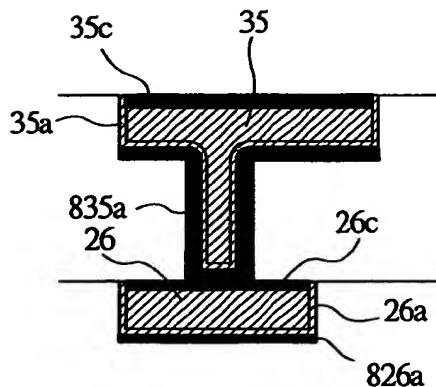
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置の高速化を図り、また、エレクトロマイグレーションやストレスマイグレーションの発生を抑え、配線寿命を長くする技術を提供する。

【解決手段】 半導体基板1上に形成された酸化シリコン膜23および窒化シリコン膜22中の配線溝内を含む酸化シリコン膜23上にバリア層26aおよび銅膜26bを順次形成後、前記配線溝外部のバリア層26aおよび銅膜26bを除去することによって配線26を形成し、配線26上にタンゲステンを選択成長もしくは優先成長させることにより、配線26上にタンゲステン膜26cを形成する。

【選択図】 図7

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所